

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-055538

(43)Date of publication of application : 19.02.2004

(51)Int.Cl.

H05B 41/24

H02M 7/48

H05B 41/392

(21)Application number : 2003-150554

(71)Applicant : MONOLITHIC POWER SYSTEMS  
INC

(22)Date of filing : 28.05.2003

(72)Inventor : RUST TIMOTHY JAMES  
MOYER JAMES COPLAND  
CHRISTY DAVID JOSEPH

(30)Priority

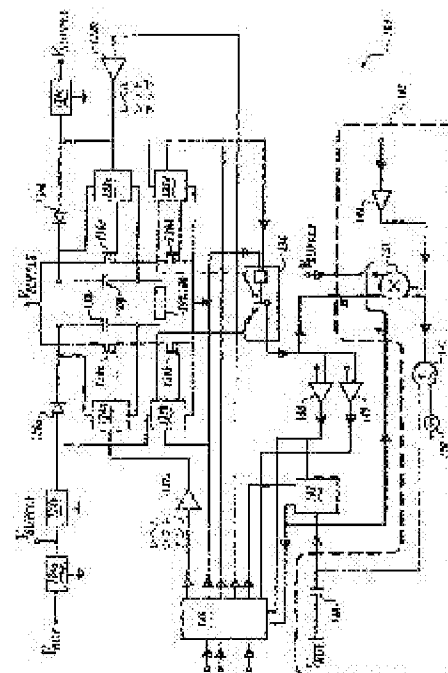
Priority number : 2002 160394    Priority date : 31.05.2002    Priority country : US

## (54) METHOD FOR STARTING DISCHARGE LAMP USING INITIAL PULSE OF HIGH ENERGY

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a DC-AC inverter capable of effectively controlling power quantity to be used for driving a cold cathode fluorescent lamp (CCFL).

**SOLUTION:** The DC-AC inverter is provided with a network of a plurality of switches 130a, 130b, 130c and 130d to generate AC signals from DC signals, a tank circuit 108 connected between the network of the switches and a lamp 106 to filter the AC signals to be supplied to the lamp, and a controller 146 to periodically open/close part of the network of the switches based on resonance frequency of the tank circuit to actuate to supply high energy to the lamp when the lamp is started.



## LEGAL STATUS

[Date of request for examination] 26.02.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1]

It is equipment for driving a lamp,

(a) For the closing motion with some everything [ network / a part of / of two or more of said switches ] are the network of two or more switches for generating AC signal from DC signal, and DC signal is connected to the network of said two or more switches, and periodic but said two or more switches, said AC signal is the network of two or more of said switches which are that by which it is generated by opening and closing periodically on the contrary,

(b) Said tank circuit which filters AC signal which is the tank circuit connected between the network of two or more of said switches, and said lamp, and is supplied to said lamp,

(c) Equipment which is a controller to supply the optimal quantity of power to said lamp under the range of the electrical potential difference which opens and closes a part of network of two or more of said switches periodically based on the resonance frequency of said tank circuit, and is supplied by said DC signal, and is equipped with said controller which operates so that high energy may be supplied at the time of starting of said lamp.

[Claim 2]

In equipment according to claim 1 said tank circuit The primary winding which receives AC signal from the network of two or more of said switches, The pressure-up transformer which has the secondary winding connected to said lamp is included. By the ratio of said primary winding and said secondary winding said AC signal Equipment guided to the electrical potential difference which has a different value from another value of another electrical potential difference of said AC signal received by said primary winding through said secondary winding.

[Claim 3]

It is equipment containing a filter [ on equipment according to claim 2 and as opposed to said AC signal in said tank circuit ].

[Claim 4]

It is equipment which is the secondary filter with which said filter contains inductance components and a part-by-volume article in equipment according to claim 3.

[Claim 5]

It is equipment with which said transformer offers inductance components in equipment according to claim 4.

[Claim 6]

Equipment according to claim 1 is equipment equipped with the zero cross detector for determining the resonance frequency of said tank circuit and supplying directions of resonance frequency to said controller further.

[Claim 7]

It is equipment which pursues the frequency-response nature of said tank circuit while, as for said zero cross detector, said AC signal is driving the load in equipment according to claim 6, and provides said

controller with directions when it changes from the value said whose resonance frequency is one to other values.

[Claim 8]

It is equipment which is the discharge lamp with which said lamp contains cold cathode fluorescence, a metal halogen, and a sodium steam in equipment according to claim 1.

[Claim 9]

It is equipment which is MOSFET by which said two or more switches were arranged in equipment according to claim 1 in H bridge network.

[Claim 10]

Equipment according to claim 9 is equipment which is a gate driver for each MOSFET in said H bridge network, and is further equipped with said gate driver which amplifies and supplies the logic signal which controls related MOSFET.

[Claim 11]

Equipment according to claim 10 is equipment which is the capacitor which has further the end child connected to the output terminal and load of said H bridge network, and another terminal connected to the diode connected to reference voltage, and is equipped with said capacitor which activates the ON state voltage impressed to the gate of said upper part MOSFET when the electrical potential difference of the source of the upper part MOSFET is almost equal to wiring of a power source.

[Claim 12]

It is equipment which charges said capacitor in first stage before a load drives said gate driver with said AC signal in equipment according to claim 11.

[Claim 13]

It is equipment which charges said capacitor when MOSFET on equipment according to claim 11 and relevant to the gate driver concerned in said gate driver has not flowed.

[Claim 14]

It is equipment which operates so that said controller may open in equipment according to claim 1 and close a part of network of two or more of said switches periodically based on a duty cycle, the phase modulation of said AC signal may be carried out and large pulse width may be supplied during starting of a lamp.

[Claim 15]

It is equipment for driving a lamp,

(a) The DC-AC converter for changing DC signal into AC signal,

(b) The self-oscillation circuit which carries out the self-oscillation of the AC signal which is connected between said DC-AC converters and said lamps, and is supplied to said lamp, and filters it,

(c) Equipment which is a controller for adjusting a DC-AC converter as the frequency of said AC signal is based on the resonance frequency of said self-oscillation circuit, and is equipped with said controller which operates so that a high energy pulse may be supplied rather than normal operation at the time of starting of a lamp.

[Claim 16]

It is equipment containing the pressure-up transformer which has the secondary winding connected to the primary winding from which a self-oscillation circuit receives said AC signal in equipment according to claim 15, and said lamp.

[Claim 17]

It is equipment with which said self-oscillation circuit contains the filter for said AC signals in equipment according to claim 16.

[Claim 18]

Equipment according to claim 15 is equipment equipped with the zero cross detector which determines the resonance frequency of said self-oscillation circuit, and supplies directions of resonance frequency to said controller further.

[Claim 19]

It is equipment which is the discharge lamp with which said lamp contains cold cathode fluorescence, a

metal halogen, and a sodium steam in equipment according to claim 15.

[Claim 20]

It is an approach for driving a discharge lamp,

- (a) Change DC signal into AC signal,
- (b) Filter said AC signal to said discharge lamp,
- (c) Change said DC signal so that said AC signal may have a frequency based on the resonance frequency of a load,
- (d) An approach equipped with supplying high energy to said lamp to normal operation at the time of starting of said lamp.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

It is related with this invention supplying the power for driving a discharge lamp in detail about the field of discharge lighting by putting a discharge lamp into operation by the initial pulse of high energy the first stage to an effective target.

[0002]

[Description of the Prior Art]

Discharge lamps, such as a cold cathode fluorescent lamp (CCFL), have the terminal voltage property of changing according to the frequency of vibration (AC signal) impressed to a process and a lamp instancy. A lamp does not pass a current with impression terminal voltage smaller than starting voltage until CCFL is put into operation or started. If an arc collides in CCFL, terminal voltage will fall to the driver voltage of the abbreviation 1/3 of starting voltage across the comparatively large range of an input current. When CCFL drives with AC signal of high frequency comparatively, CCFL (it started) does not put out the light in each cycle, but shows a forward resistance terminal property. The effectiveness of CCFL improves with high frequency comparatively, and, generally CCFL is driven with AC signal which has the frequency of the range of 50 to 100kHz.

[0003]

By driving CCFL to a high-frequency square wave AC signal comparatively, the useful life longevity of a lamp serves as max. However, since the square wave of AC signal has serious effect for other circuits close to the circuit which drives CCFL, generally a lamp is driven with AC signal which are not the optimal waves, such as sinusoidal AC signal.

[0004]

Very small CCFL is used in a dc-battery power-source system, for example, a notebook computer, and personal digital reed stance. A system dc-battery supplies 20 direct-current (DC) electrical potential difference of the range of V to the input of a DC-AC converter from 7V by nominal abbreviation 12V. With the general technique for changing comparatively low DC input voltage into high AC output voltage, chopper amplification of the DC input signal is carried out using a power switch, wave filtration of the higher-harmonic signal generated by chopper amplification is carried out, and sinusoidal AC signal selected comparatively carefully is outputted. The pressure up of the electrical potential difference of AC signal is carried out even to 1500V from a comparatively high electrical potential difference, 12V [ for example, ], by the transformer. A power switch can use a bipolar connection transistor (BJT) or a field-effect transistor (MOSFET). Moreover, a transistor may be prepared according to an individual or may be accumulated by the same package as the control circuit for DC-AC transducers.

[0005]

Since resistance components are in the inclination to consume power and to reduce the overall effectiveness of a circuit, the induction and the part-by-volume article which were chosen so that power loss might be minimized, namely, the selected each part article might have high Q value are used for the

common harmonic filter for DC-AC converters. The secondary resonance filter which has induction and a part-by-volume article is called a "tank" circuit. The reason is that a tank conserves energy on a specific frequency.

[0006]

[Problem(s) to be Solved by the Invention]

The electronic instrument which carries CCFL may be used in the environmental condition of varieties, such as a large temperature change. Furthermore, in the inside of a drive circuit, and external components, the value change of components usually occurs. For this reason, the amount of the energy which is needed in order to start CCFL most efficiently will change.

[0007]

[Means for Solving the Problem]

This invention is equipment for driving a lamp, and it is the network of two or more switches for generating AC signal from (a) DC signal. DC signal is connected to the network of said two or more switches. Said AC signal a part of network of two or more of said switches The network of two or more of said switches whose periodic closing motion of some two or more of said switches of other is what is generated by opening and closing periodically on the contrary, (b) Said tank circuit which filters AC signal which is the tank circuit connected between the network of two or more of said switches, and said lamp, and is supplied to said lamp, (c) Based on the resonance frequency of said tank circuit, open and close a part of network of two or more of said switches periodically. It is a controller to supply the optimal quantity of power to said lamp under the range of the electrical potential difference supplied by said DC signal, and equipment equipped with said controller which operates so that high energy may be supplied at the time of starting of said lamp is offered.

[0008]

The DC-AC converter for this invention being equipment for driving a lamp, and changing (a) DC signal into AC signal, (b) The self-oscillation circuit which carries out the self-oscillation of the AC signal which is connected between said DC-AC converters and said lamps, and is supplied to said lamp, and filters it, (c) As the frequency of said AC signal is based on the resonance frequency of said self-oscillation circuit, it is a controller for adjusting a DC-AC converter, and equipment equipped with said controller which operates so that a high energy pulse may be supplied rather than normal operation at the time of starting of a lamp is offered.

[0009]

an approach for this invention to drive a discharge lamp -- it is -- (a) DC signal -- AC signal -- changing -- (b) -- said AC signal to said discharge lamp -- filtering -- (c) -- conversion of said DC signal is oscillated so that said AC signal may have a frequency based on the resonance frequency of a load, and an approach equipped with supplying high energy to said lamp to (d) normal operation at the time of starting of said lamp is offered.

[0010]

[Embodiment of the Invention]

The inverter for driving CCFL is equipped with a DC-AC converter, a filter circuit, and a transformer. The example of such a circuit shall be indicated by U.S. Pat. No. 6114614 besides Shannon (Shannon et al.) transferred to the grantee, and shall be incorporated in this application specification by considering the contents as reference. In addition, since the inverter circuit of other conventional techniques, such as a constant frequency half bridge (CFHB) circuit or an induction mode half bridge (IMHB) circuit, drives CCFL, it may be used. This invention may be used in relation to either not only of other inverter circuits but these inverter circuits.

[0011]

From the contents indicated here, the approach and equipment for impressing and supplying power to discharge lamps, such as cold cathode fluorescence, a metal halogen, and a cold cathode fluorescent lamp (CCFL) containing a sodium steam, are offered. According to this invention, the initial pulse of the energy supplied to CCFL by equipment is larger than the stationary energy pulse supplied to CCFL, after CCFL is started. With 1 operation gestalt, an initial pulse becomes larger by extending a pulse

period. With other operation gestalten, an initial pulse becomes larger by making the electrical potential difference of a pulse increase, maintaining pulse width. Here, having the amount of energy with a higher initial pulse is the important point which should be taken into consideration. Furthermore, please also note the point that the approach of this invention is explained about the inverter of one class. However, the approach may be performed using other inverters.

[0012]

In 1 operation gestalt, this invention is an integrated circuit (IC) containing four power metal-oxide semiconductor field effect transistor arranged by the gestalt of H bridge circuit. IC is changed into the alternating current (AC) signal which has sufficient electrical potential difference to drive loads, such as a discharge lamp, for a direct-current (DC) signal with another output network. IC drives a load to the electrical-potential-difference range supplied by the DC power supply with the resonance frequency of the output network accompanying the capacity and the induction components of a load.

[0013]

H bridge circuit generates AC signal by reversing DC signal periodically. A control circuit adjusts the electric energy supplied to a load by the Pulse Density Modulation (PWM) of each half cycle of AC signal. Since symmetrical AC signal is supplied by PWM into normal operation, it is canceled even if it is the harmonic frequency in AC signal. By removing a higher harmonic and operating with the resonance frequency of a filter (load) generally, the design load Q value of a filter becomes low proper, and the loss in a filter is minimized. Furthermore, since direct continuation is carried out to the secondary winding of a pressure-up transformer except for the secondarily needed fraction in order that CCFL may make an arc collide in a lamp, the secondary winding of a pressure-up transformer operates by the driver voltage of CCFL. Moreover, a control circuit enlarges alternatively width of face of the pulse supplied during starting of a load at a load about normal operation so that it may explain below.

[0014]

The schematic diagram 100 of the power control materialized by the integrated circuit 104 (IC) connected to the load containing the lamps 106, such as a tank circuit 108 and CCFL, is shown in drawing 1. A DC power supply 102, i.e., a dc-battery, is connected to IC104. Boost capacitor 120a is connected among BSTR terminal and output terminal 110a, and output terminal 110a is connected to another terminal displayed as OUTR. Another boost capacitor 120b is similarly connected among BSTL terminal and output terminal 110b, and output terminal 110b is connected to another terminal displayed as OUTL. The boost capacitors 120a and 120b are the circuits in IC104, and are energy reservoirs which supply the power for operating the circuit which can float the operating voltage of the remaining circuit.

[0015]

The end child of an inductor 116 is connected to output terminal 110a, and the opposite terminal of an inductor is connected to the end child of a capacitor 118, and the end child of the primary winding of the pressure-up transformer 114. The opposite terminal of a capacitor 118 is connected to another terminal of the primary winding of the pressure-up transformer 114, and output terminal 110b. The end child of the secondary winding of the pressure-up transformer 114 is connected to lamp terminal 112a, and another terminal of a secondary winding is connected to lamp terminal 112b.

[0016]

The reactant output network 108, i.e., a tank circuit, is formed with the components connected between output terminals 110a and 110b and the primary winding of the pressure-up transformer 114. A tank circuit is a secondary resonance filter which graduates the sinusoidal configuration of AC signal which conserves energy on a specific frequency, and emits this energy if needed, and is supplied to a lamp 106. A tank circuit is also called a self-oscillation circuit.

[0017]

drawing 1 -- B -- setting -- a tank circuit -- 108 -- and -- a lamp -- 106 -- containing -- a load -- connecting -- having had -- IC -- 104 -- ' -- taking shape -- having had -- power -- control -- a schematic diagram -- 100 -- ' -- being shown -- having -- \*\*\*\* . Schematic-diagram 100' is the same except for additional current sense in [ as drawing 1 ] operation. Here, direct continuation of the 2nd terminal of a secondary winding is carried out to the gland. Lamp terminal 112b of another side is connected to the



anode of diode 107, and the cathode of diode 105. The cathode of diode 107 is connected to the end child of the sense resistance 109, and the Vsense terminal of IC104'. The anode of diode 105 is connected to other terminals and glands of the sense resistance 109. In this case, IC104' may be used in order to control the electric energy used since it acts as the monitor of the electrical potential difference of the sense resistance 109, and the amount of currents which flows on a lamp 106 is estimated and a lamp is driven.

[0018]

Furthermore, the power of this invention and the operation gestalt 104 of current control, i.e., IC, and IC104' can be used with the operation gestalt from which the plurality of a tank circuit differs. In drawing 2 A, the tank circuit 108 shown in drawing 1 and drawing 1 B is shown as what is connected to IC104. A tank circuit 108 operates as a filter connected to the primary winding of the pressure-up transformer 114.

[0019]

In drawing 2 B, tank circuit 108' of another operation gestalt is shown. The end child of the primary winding of the pressure-up transformer 114 is connected to output terminal 110a, and other terminals of a primary winding are connected to other output terminal 110b. The end child of inductor 116' is connected to the end child of the secondary winding of a pressure-up transformer, and other terminals of an inductor are connected to the end child of capacitor 118', and lamp terminal 112a. It connects with other terminals of other terminal capacitor 118' of the secondary winding of a pressure-up transformer, and other lamp terminal 112b. With this operation gestalt, tank circuit 108' has all the reactant components that form the secondary filter arranged at the secondary-winding side of a pressure-up transformer.

[0020]

Drawing 2 C shows tank circuit 108' of another operation gestalt similar to tank circuit 108' shown in drawing 2 B. Tank circuit 108" does not use the individual induction components for forming the secondary filter of a tank. Instead, with this operation gestalt, the original leakage inductance of the coil of the pressure-up transformer 114 is used as an induction component of a secondary filter. Cost is reduced by materializing the secondary filter of tank circuit 108" without individual induction components.

[0021]

Drawing 2 D shows tank circuit 108'" of another operation gestalt which reduces the further cost when materializing this invention. With this operation gestalt, tank circuit 108'" forms a secondary filter using the parasitic capacitance 122 (the maximum source) of lamp wiring, the secondary winding of the pressure-up transformer 114, and the original inductance 117 of a transformer. The end child of the secondary winding of a transformer 114 is connected to lamp terminal 112a, and other terminals of a secondary winding are connected to lamp terminal 112b. A secondary filter can be materialized without the induction according to individual, and a part-by-volume article with this operation gestalt.

[0022]

Drawing 2 E indicates tank circuit 108'" of same another operation gestalt substantially to be the operation gestalt drawing 2 D Shown. In this case, the primary winding of a transformer 114 is connected to the output of IC104 through the capacitor 111 used in order to cancel the effect of primary magnetizing of a transformer. By adding a capacitor 111, the resonance frequency in the primary winding of a transformer 114 is in agreement in approximation with the resonance frequency in the secondary winding of a transformer. In this way, the resonance frequency of whole circuit, i.e., tank circuit, 108'" and a transformer 114 is brought close to the resonance frequency of the secondary winding of a transformer.

[0023]

Furthermore, the maximum source of the parasitic capacitance of the various tank circuits shown by drawing 2 A - drawing 2 E is wiring of a discharge lamp 106. Moreover, the parallel metal plate of a pair is arranged and the part-by-volume article for secondary filters (tank circuit) may be formed in the either side of the circuit plates containing IC104.

[0024]

Drawing 3 , and 4, 5 and 6 show the internal circuitry of the integrated circuit (IC) for materializing the operation gestalt from which this invention differs. Drawing 3 is the schematic diagram of the operation gestalt of IC104 of power control. A Vref signal is supplied as an output from voltage regulator 124a connected to the Vsupply signal. A Vref signal is the band gap reference voltage usually set as 5.0 volts, and it is used in order to generate the various electrical potential differences used with the components according to individual of IC104. The internal electrical potential difference for [ , such as master reference voltage for a UVLO (undervoltage lock) signal and heat cutoff circuits, ] some control-logic block 146 is generated from a Vref signal. Moreover, other electrical potential differences which set up the actuation point of the peak current (Ipk) comparator 138, the zero cross detector 140, and the power control block 136 with a Vref signal are generated.

[0025]

It connects with a Vsupply signal and voltage regulator 124b supplies adjusted 6-volt DC signal. The output of voltage regulator 124b is connected to the anode of gate drive block 128b and diode 126a by which the cathode was connected to gate drive block 128a and a BOOST LEFT terminal. It connects with a Vsupply signal and another voltage regulator 124c supplies adjusted 6-volt DC signal to gate drive block 128d. The output of voltage regulator 124c is connected to the anode of diode 126b by which the cathode was connected to gate drive block 128c and a BOOST RIGHT terminal. Since voltage regulators 124b and 124c adjust separately the electrical potential difference comparatively supplied to the high power gate drive blocks 128a, 128b, 128c, and 128d, they interfere in one actuation of the gate drive blocks remarkably with the Vref signal outputted by voltage regulator 124a. Furthermore, each gate drive blocks [ 128b and 128d ] terminal is connected to the gland.

[0026]

Two level shift amplifier 132a and 132b has each input terminal separately connected to the control-logic block 146, and the output terminal separately connected to the gate drive blocks 128a and 128b, respectively. These level shift amplifier shifts a control-logic signal from the logical level used in the control-logic block 146 to the logical level needed by the gate drive blocks 128a and 128c.

[0027]

H bridge output circuit for IC104 is constituted by four power 130a, 130b, 130c, and MOSFETs 130d. The drain terminal of MOSFET130a is connected to a Vsupply signal, and the gate is connected to gate drive block 128a. The source terminal of MOSFET130a is connected to the drain terminal of OUT LEFT terminal and gate drive block 128a and MOSFET130b, gate drive block 128b, and the Mux block 134. The source terminal of MOSFET130b is connected to a gland, and the gate terminal is connected to gate drive block 128b. Similarly, the drain terminal of MOSFET130c is connected to a Vsupply signal, and the gate terminal is connected to gate drive block 128c. The source terminal of MOSFET130c is connected to OUT RIGHT terminal and gate drive block 128c, drain terminal [ of MOSFET130d ], and gate drive block 128d, and the Mux block 134. The source terminal of MOSFET130d is connected to a gland, and the gate terminal is connected to gate drive block 128d.

[0028]

An MOSFETs [ 130b and 130d ] source terminal is connected to a gland (low side), and the gate drive blocks 128b and 128d corresponding to them contain the separate digital logic components which control actuation of the power metal-oxide semiconductor field effect transistor related using a 0-5-volt signal. The source terminal of MOSFETs 130a and 130c is not connected to the gland. Instead, these source terminal is connected to each OUT LEFT and the OUT RIGHT terminal (quantity side) of H bridge output circuit. With such a configuration, actuation of MOSFETs 130a and 130c is not certainly controlled by the 0 (gland)-5-volt signal. Since the gate drive blocks 128a and 128c use the digital logic control signal according to individual, they carry out the level shift of these control signals to an electrical potential difference always higher than the electrical potential difference in the source terminal of related MOSFETs 130a and 130c in this invention. The electrical potential difference of a source terminal tends to rise according to the electrical potential difference impressed to OUT LEFT and the OUT RIGHT terminal of H bridge output circuit. The level shift amplifier 132a and 132b shifts the 0-5-

volt logic signal on the basis of a gland to the 0-6-volt logic signal on the basis of the source terminal of related MOSFETs 130a and 130c. Thus, when the potential of the source terminal of MOSFETs 130a and 130c is from 0 to 25 volts, the gate drive blocks 128a and 128c can control actuation of MOSFET relevant to them.

[0029]

The gate drive blocks 128a, 128b, 128c, and 128d shift the control signal from control block 146 to the driving signal to each of the related power metal-oxide semiconductor field effect transistor in H bridge output circuit with the level shift amplifier 132a and 132b. A gate drive block offers the lock of a buffer (current amplification), failure protection, the level shift to a power-metal-oxide-semiconductor-field-effect-transistor control signal, and cross conduction (cross conduction). A gate drive block amplifies the current of a digital logic signal, and a comparatively high current switches quickly the condition of power metal-oxide semiconductor field effect transistor during ON (flow) and OFF (un-flowing). When output defects, such as a short circuit to VSupply wiring from an OUT LEFT terminal and/or an OUT RIGHT terminal or a short circuit to a gland, arise, current limiting of each of four MOSFETs is carried out to about 5A by related gate drive block. A gate drive block makes the power metal-oxide semiconductor field effect transistor related before a certain damage breaks out turn off under the situation of such an output defect.

[0030]

All four power transistors in a desirable operation gestalt are MOSFETs, and they tend to have high input capacitance. In order to switch quickly power metal-oxide semiconductor field effect transistor between a flow and non-switch-on, a gate drive block supplies a big current to the gate terminal of each power metal-oxide semiconductor field effect transistor. A gate drive block amplifies the small current acquired from the control signal generated by the digital logic component according to individual in a block even on the comparatively high current level needed in the condition of power metal-oxide semiconductor field effect transistor in order to switch quickly.

[0031]

MOSFET is turned on when a voltage signal (6 volts to a source terminal) is impressed to the gate terminal of power metal-oxide semiconductor field effect transistor with which a gate drive block is related (flow). MOSFET is turned off when the zero volt to the source terminal is impressed to the gate terminal (un-flowing). On the other hand, the source terminal of two power metal-oxide semiconductor field effect transistor 130a and 130c is connected to each left output and a right output terminal. By this configuration, source terminal voltage floats from a gland in the range of the electrical potential difference which deducted the voltage drop by each power metal-oxide semiconductor field effect transistor from Vsupply to each of these power metal-oxide semiconductor field effect transistor. The gate drive blocks 128a and 128c impress the voltage signal by which the level shift was carried out from zero in +6 volts to floating source terminal voltage to the gate terminal of related power metal-oxide semiconductor field effect transistor. Thus, the 0-5-volt grand reference signal of control block 146 is shifted to the 0-6-volt signal (the buffer was carried out to the high current) over the potential in the source terminal of power metal-oxide semiconductor field effect transistor 130a and 130c.

[0032]

Each of a gate drive block also offers the logic for controlling the lock of a cross flow of power metal-oxide semiconductor field effect transistor. When both the upper part and the lower power metal-oxide semiconductor field effect transistor 130a and 130b, i.e., power metal-oxide semiconductor field effect transistor, flow in coincidence, a penetration current flows from input power to a gland, and there is a possibility of destroying these power metal-oxide semiconductor field effect transistor. A gate drive block prevents such a condition by inspecting the value of the gate terminal voltage of both the upper part and lower power metal-oxide semiconductor field effect transistor to coincidence. Detection of "ON" electrical potential difference of the gate terminal of MOSFET with which one of the gate drive blocks (upper part or lower part) is related locks the gate drive block of another side so that ON state voltage may not be impressed to the gate terminal of relation.

[0033]

The gate drive blocks 128a and 128c initialize the bootstrap capacitors 150a and 150b of a pair during the start-up (initial energization) in this invention. Bootstrap capacitor 150a is connected between the OUT LEFT terminal and the BOOST LEFT terminal. As described above, the OUT LEFT terminal is connected also to the source terminal of power-metal-oxide-semiconductor-field-effect-transistor 130a, and gate drive block 128a. For this reason, when lower power-metal-oxide-semiconductor-field-effect-transistor 130b flows and it does not flow through up power-metal-oxide-semiconductor-field-effect-transistor 130a, bootstrap capacitor 150a is charged by diode 126a. If it charges, bootstrap capacitor 150a will supply the turn-on electrical potential difference stabilized in the gate terminal of up power-metal-oxide-semiconductor-field-effect-transistor 130a, even if the potential of the source terminal of power metal-oxide semiconductor field effect transistor rose to the almost same potential as  $V_{supply}$ . Similarly, it connects between an OUT RIGHT terminal and a BOOST RIGHT terminal, and bootstrap capacitor 150b achieves the same function substantially. Here, the lamp 106 and the tank circuit 108 are connected between the OUT LEFT terminal of H bridge output circuit, and the OUT RIGHT terminal.

[0034]

Switch-on (flow) of the lower power metal-oxide semiconductor field effect transistor 103b and 130d is carried out by the gate drive blocks 128b and 128d during initialization, i.e., the start-up of IC104, and a charge is supplied to the bootstrap capacitors 150a and 150b at coincidence. When H bridge output circuit oscillates and it begins to supply power to CCFL, the bootstrap capacitors 150a and 150b perform discharge and a recharge partially one by one into the usual switching cycle of power metal-oxide semiconductor field effect transistor. Diodes 126a and 126b carry out the recharge of the related bootstrap capacitors 150a and 150b automatically, when the turn-off of the power metal-oxide semiconductor field effect transistor 130a and 130c related in a switching cycle is carried out. In this way, the gate drive blocks 128a and 128c can supply now proper and the gate terminal of MOSFETs 130a and 130c related in the stable turn-on electrical potential difference with a bootstrap capacitor.

[0035]

In order to minimize the effect of the rush current to a surge demand and lamp of a dc-battery, both software-on and software-off are performed. The vocabulary of "software-on" is used in order to usually explain the gently-sloping increment in the system power to level, and "software-off" usually expresses a gently-sloping reduction of system energy from level. The amount of energy supplied to a system is controlled by adding the current in a Comp pin in relation to output pulse width of face. Pulse width becomes large according to the addition current supplied to the Comp pin, and PASURU width of face becomes narrow by drawing out a current from a Comp pin. In detail, in order [ of a burst ] to narrow the width of face of an output pulse mostly at the time of termination, a current is drawn out from a Comp pin. With 1 operation gestalt, by about 50mV above a gland, a Comp pin can end a burst, when pulse width is min mostly. When the following burst is started, a Comp pin is made into a \*\*\*\* gland and serves as a pulse narrow in first stage. Then, a current is secured to a Comp pin, and by the time it reaches normal operation, pulse width will increase gradually.

[0036]

Here, the power energy supplied during initiation of a start-up at a load differs from the thing in normal operation. In detail, with 1 operation gestalt, the width of face of the 1st pulse is larger than that of normal operation. With 1 operation gestalt, an initial energy pulse becomes twice a pulse in normal operation. It turns out that the capacity of an inverter for this to start CCFL under a different environment and equipment conditions is increased.

[0037]

The Mux block 134 switches between power metal-oxide semiconductor field effect transistor [ 130b and 130d ] drain terminals, and the current which flows through power metal-oxide semiconductor field effect transistor is determined by the control-logic block 146. A current is determined by measuring an electrical potential difference when power metal-oxide semiconductor field effect transistor is turned on, namely, current is conducted. The measurement electrical potential difference relates to the amount of currents which flows to power metal-oxide semiconductor field effect transistor by "ON" resistance which is a well-known value directly. Since the Mux block 134 is switched between the drain terminals

of the turned-on power metal-oxide semiconductor field effect transistor, the output voltage of a Mux block is proportional to the current ( $I_{sw}$ ) which flows to turned-on specific MOSFET. The Mux block 134 is the analog switch of the pair which rectifies between the drain terminals of lower power metal-oxide semiconductor field effect transistor.

[0038]

The peak current ( $I_{pk}$ ) comparator 138 has the input connected to the output of the Mux block 134, and another input which is supplied from a  $V_{ref}$  signal and which was connected to the predetermined electrical potential difference of 200mV, for example. The output of the peak current comparator 138 is connected to the control-logic block 146 and the on time timer 142. The output of the peak current comparator 138 is directed to the control-logic block 146, when predetermined maximum current is exceeded. When a lamp 106 put out the light or breaks down, the current which flows to power metal-oxide semiconductor field effect transistor serves as a comparatively high value as it is going to drive the components of the tank circuit of low loss comparatively in the power or the amount of currents as which IC104 was required. When this condition is shown by the peak current comparator 138, the control-logic block 146 makes power metal-oxide semiconductor field effect transistor turn off, since the high voltage dangerous to secondary [ of a pressure-up transformer ] is generated by the comparatively high current which flows to the capacitor of a tank circuit.

[0039]

The input of the zero cross detector 140 (comparator) is connected to the output of the Mux block 134, and another input is connected to the predetermined electrical potential difference of 5mV supplied from the  $V_{ref}$  signal. It connects with the control-logic block 146, and the output of the zero cross detector 140 directs that, when the current of a tank circuit falls in zero ampere mostly. It determines to be the control-logic block 146 at the time at which the cycle of the power phase of the power phase A or the Bth power phase is started, for example as a pause phase is ended using the output of the zero cross detector 140 and it is shown below in drawing 7.

[0040]

The on time timer 142 determines the duration of each power phase of the control-logic block 146. One input of the on time timer 142 is connected to the output of the end child of the loop-formation compensation capacitor 148, and the power control block 136. Another terminal of the loop-formation compensation capacitor 148 is connected to the  $V_{ref}$  signal. The on time timer 142 determines the period (duration) of each power phase according to the electrical-potential-difference value of the loop-formation compensation capacitor 148. The on time timer 142 is separately connected to the input and output of the control-logic block 146. Furthermore, the on time timer 142 tells that the period of each power phase passed in the control-logic block 136. With this operation gestalt, the on time timer 142 operates that a pulse 2.5 times the pulse width of normal operation should be supplied.

[0041]

The brightness operational amplifier 144 has the output connected to the power control (analog multiplier) block 136. It connects with the potentiometer (not shown) in which an own alternative is possible, and the input of the brightness operational amplifier 144 receives the electrical potential difference about a setup of a potentiometer. If a user chooses the control relevant to a potentiometer, an electrical potential difference is impressed to the power control block 136 with the output of a brightness operational amplifier, and the power control block 136 will relate to a control location, and will increase or decrease-like proportionally. Furthermore, if an electrical potential difference is changed when a user chooses control, the on time timer 142 will tell the control-logic block 146 about corresponding modification in the period of each power phase.

[0042]

The power control block 136 supplies the signal as an input to the addition node 141, and inputs reference current from the source 170 of constant current ( $I_{ref}$ ). The output of the addition node 141 is connected to the end child of the on time timer 142 and the loop-formation compensation capacitor 148.

[0043]

The change of the Mux block 134 is adjusted by the control-logic block 146, and only the current of one

power metal-oxide semiconductor field effect transistor is measured at once. Furthermore, the control-logic block 146 measures the current which flows to the lower H bridge power metal-oxide semiconductor field effect transistor 130b and 130d, synchronizes the power phase of this invention with the current of a tank circuit, determines whether the current which flows to power metal-oxide semiconductor field effect transistor exceeded the predetermined maximum peak current ( $I_{pk}$ ), and computes the actual power supplied to a load.

[0044]

There are a power phase and a pause phase as a cycle phase of two types which the control-logic block 146 generally manages. A power phase is performed when the power metal-oxide semiconductor field effect transistor which counters aslant has flowed. For example, the power phase A is performed when power metal-oxide semiconductor field effect transistor 130a and 130d turns on. Similarly, the power phase B is performed when power metal-oxide semiconductor field effect transistor 130b and 130c turns on. In both power phases, the control-logic block 146 confirms the current which flows to power metal-oxide semiconductor field effect transistor until one of the following events occurs. (1);(3) zero-cross detector 140 with which the detection;(2) on time timer 142 passes [ that the peak current ( $I_{pk}$ ) comparator 138 crossed the limitation of maximum current like / when a discharge lamp breaks down /, and ] time-out takes out the directions which switch the condition of MOSFET to the cycle of the next power phase to the control-logic block 146.

[0045]

With a typical operation gestalt, when the on time timer 142 becomes a time-out in a power phase, the control-logic block 146 switches power metal-oxide semiconductor field effect transistor to a pause phase. In a pause phase, lower H bridge power metal-oxide semiconductor field effect transistor 130b and 130d is turned on, and upside H bridge power metal-oxide semiconductor field effect transistor 130a and 130d is turned off. Although the tank (output) circuit 108 connected to OUT LEFT and an OUT RIGHT terminal continues supplying a current between [ CCFL106 ] short period of times, a tank circuit current serves as zero immediately in the point with which the zero cross detector 140 tells the control-logic block 146 about the condition of a zero current. Next, the control-logic block 146 makes power metal-oxide semiconductor field effect transistor 130c and 130b turn on, and makes power metal-oxide semiconductor field effect transistor 130a and 130d turn off. The control-logic block 146 repeats continuously the cycle which returns power metal-oxide semiconductor field effect transistor to the power phase A through a power phase A-> pause phase -> power phase B-> pause phase with the resonance frequency of a load. A control-logic block controls the power/the amount of currents which drives a discharge lamp by changing the quiescent time (pause phase) relevant to the energy (power phase) addition time amount to a tank circuit.

[0046]

With another operation gestalt, the control-logic block 146 determines a gradual change-over stage using the directions from the peak current comparator 140. In this case, the control-logic block 146 controls power metal-oxide semiconductor field effect transistor to change directly between A and B power phase, and a pause phase is omitted completely. In this mode of operation, since the control-logic block 146 makes the current of a tank circuit flow backwards positively as it tells that the peak current comparator 140 reached the "peak" current, the current wave form to a tank circuit becomes triangular waveform-like. This operation gestalt controls / controls the current supplied by the tank circuit 108, and it has the role which restricts the open-circuit voltage in a discharge lamp terminal. Other operation gestalten may be chosen by choosing the easy metal mask in the case of manufacture of IC104.

[0047]

At least two asynchronous digital signals are inputted into the control-logic block 146, and they include the chip enable input for making (1) IC104 turn on or turn off, and the heat cutoff input for internal heat protection of (2) IC104 in it. Another digital input to the control-logic block 146 is multifunctional test / burst input. In the manufacture test of IC104, it is used in order that this input may stop a start-up initialization step, and the various parameters of IC are tested. If a manufacture test is completed, this digital logic input will be used in order to perform "burst mode" DIMINGU (dimming).

[0048]

In burst DIMINGU mode, a user uses the burst input which has a rectangle logic wave, and IC104 carries out normal operation of this input, and it takes out a command with a certain condition so that power may be supplied to a lamp 106. It is made to suspend that IC104 halts normal operation and a burst input supplies power to a lamp 106 in the another condition. A burst input is usually switched off, and although it disappears for DIMINGU of the light injected by the lamp 106, it is turned on at a rate (180Hz or more than it) early enough. The electrical potential difference which the loop-formation compensation capacitor 148 suspended a recharge and discharge, namely, was impressed to the loop-formation compensation capacitor 148 when burst DIMINGU mode was started is held, and when starting discharge of the burst DIMINGU mode is carried out, it comes to be quickly resumed with suitable power level. In burst DIMINGU mode, in order to lessen effect of parasitic capacitance, the DIMINGU range of the lamp 106 larger than the range offered according to a general analog DIMINGU device is offered.

[0049]

Furthermore, full power and analog DIMINGU are supported by IC104 by supplying the input from other inputs (I<sub>pk</sub>), for example, peak current, comparators 138, on time timers 142, and zero cross detectors 140 to the control-logic block 146.

[0050]

Drawing 5 is the typical schematic diagram 143 of the components used in order to control actuation of IC104 by electric energy which drives a tank circuit 108. By loss of a tank circuit 108 and a transformer 114 covering the range of the whole AC signal which drives a load, since it is almost fixed, the input power to a load is connected with the actual power which drives CCFL106 in a tank circuit 108. The power control block 136 is the metal mask option which should be chosen during manufacture of IC104.

[0051]

the base emitter electrical potential difference ( $V_{be}$ ) of a bipolar transistor, and a logarithm with collector current ( $I_c$ ) -- the easy following multipliers are materialized by using relation. In a part of power control block 136, the end child of resistance 166 is connected to a  $V_{supply}$  signal, and another terminal is connected to the drain terminal of MOSFET168. The gate terminal of MOSFET168 is connected to the output of the on time timer 142 (here, not shown). The on time timer 142 adjusts the duty cycle of a current which flows MOSFET168 by controlling the electrical potential difference of a gate terminal synchronizing with the phase wave form of output power. The source terminal of MOSFET168 is connected to the base of NPN transistor 150, the base of NPN transistor 156, and the collector of NPN transistor 152. The collector of NPN transistor 150 is connected to the  $V_{ref}$  signal. The emitter of NPN transistor 150 is connected to the base of NPN transistor 152, and the collector of NPN transistor 154. The emitter of NPN transistor 152 is connected to a gland, and the emitter of NPN transistor 154 is connected to the end child of resistance 162, and the reversal input of an operational amplifier 149. Another terminal of resistance 162 is connected to the gland. The inversed input terminal of an operational amplifier 149 is connected to an output from the Mux block 134 (here, not shown), and the output of an operational amplifier is connected to the base of NPN transistor 154.

[0052]

The emitter of NPN transistor 156 is connected to the base of NPN transistor 158, and the collector of NPN transistor 160 in another part of the power control block 136. The emitter of NPN transistor 158 is connected to a gland, and the collector is connected to the output of the end child of the loop-formation compensation capacitor 148, and the source 170 of constant current ( $I_{ref}$ ). Another terminal of the loop-formation compensation capacitor 148, the input of the source 170 of constant current ( $I_{ref}$ ), and the collector of NPN transistor 156 are connected to the  $V_{ref}$  signal. The emitter of NPN transistor 160 attains to the end child of resistance 164, and is connected to the inversed input terminal of the brightness operational amplifier 144. Another terminal of resistance 164 is connected to the gland. The base of NPN transistor 160 is connected to the output of the brightness operational amplifier 144. Although illustration is not carried out, the non-inversed input terminal of the brightness operational

amplifier 144 is connected to the potentiometer which enables a user to drop the amount of the light injected by the lamp 106.

[0053]

In a detailed examination (explanation) of the following about actuation of the power control block 136, when it compares with a more important amount, without reaching a compromise about the result of the detailed examination, it may be ignored about a certain amount. Especially, the base current of various NPN transistors is disregarded as compared with the collector current of an NPN transistor.

Furthermore, supply voltage is assumed to be a large thing as compared with the sum total of the base emitter electrical potential difference of NPN transistor 150 and NPN transistor 152.

[0054]

The power control block 136 determines the electric energy supplied to a load by measuring the amount to which the power supplied from a power source corresponds. The current outputted to the loop-formation compensation capacitor 148 from supply or there is the difference of constant value and an aggregate value, and is distributed to the power control block 136.

[0055]

When the on time timer 142 supplies ON state voltage to the gate terminal of MOSFET 168 all over a power phase, the 1st multiplication is performed, NPN transistors 150 and 152 flow, and ON state voltage is supplied to the base of NPN transistor 156. Furthermore, when the input to the operational amplifier of the drain terminal voltage ( $V_{\text{switch}}$ ) from the low power MOSFET with which the Mux block 134 was chosen is switched, the current which NPN transistor 154 flows with an operational amplifier 149, and is proportional to an output power switch current flows.

[0056]

The collector current of NPN transistor 150 is equal to the current of NPN transistor 152. Similarly, the collector current of NPN transistor 152 is equal to the supply voltage ( $V_{\text{supply}}$ ) in which the partial pressure was carried out by resistance 166. The base emitter electrical potential difference of NPN transistor 150 is proportional to the logarithm of the current in an output switch. Similarly, the base emitter electrical potential difference of NPN transistor 152 is proportional to the logarithm of supply voltage. Therefore, the electrical potential difference (related with a gland) in the base terminal of NPN transistor 150 is proportional to the logarithm of the product of  $V_{\text{supply}}$  and  $I_{\text{switch}}$ . Here, a chopper, i.e., the point that gating is carried out, is important for this electrical potential difference by the duty cycle of an output wave.

[0057]

The electrical potential difference in the base of NPN transistor 150 is equal to the electrical potential difference in the base terminal of NPN transistor 156. The collector current of NPN transistor 160 is equal to a brightness control (supplied externally) electrical potential difference. Furthermore, the collector current of NPN transistor 156 is equal to the collector current of NPN transistor 160.

Moreover, the base emitter electrical potential difference of NPN transistor 156 is proportional to the logarithm of a brightness control electrical potential difference. Therefore, the electrical potential difference (related with a gland) in the base terminal of NPN transistor 158 is proportional to the logarithm of ( $V_{\text{supply}} \times I_{\text{switch}} / V_{\text{bright}}$ ).

[0058]

The collector current of NPN transistor 158 must be proportional to the inverse logarithm of the base electrical potential difference. That is, the collector current of NPN transistor 158 is proportional to ( $V_{\text{supply}} \times I_{\text{switch}} / V_{\text{bright}}$ ). The collector current of NPN transistor 158 is equalized by the loop-formation compensation capacitor 148. By actuation of a control loop, the average of the collector current of NPN transistor 158 becomes equal to the source 170 of constant current ( $I_{\text{ref}}$ ).

[0059]

For example, when it is  $> (V_{\text{supply}} \times I_{\text{switch}} \times \text{duty cycle}) / (I_{\text{ref}} \times I_{\text{brt}})$ , an addition current flows from the source 170 of constant current ( $I_{\text{ref}}$ ) to the loop-formation compensation capacitor 148 in a COMP terminal, and shortens the duty cycle supplied by the on time timer 142, and the effect of reducing the power supplied to a load is brought about. However, the loop-formation compensation capacitor 148



discharges slightly, and makes the die length of a duty cycle, as for the on time timer 142, increase, when it is  $< (V_{supply} \times I_{switch} \times \text{duty cycle}) / (I_{ref} \times I_{brt})$  until the power supplied from  $V_{supply}$  becomes equal to the power needed as control voltage in the noninverting input of brightness amplifier. An integrated circuit 104 adjusts an MOSFET 168 and power metal-oxide semiconductor field effect transistor [ 130a, 130b, 130c, and 130d ] duty cycle until the electrical potential difference of a COMP terminal will not change. In this way, the negative feed back in a COMP terminal is used in order to adjust the duty cycle supplied by the on time timer 142.

[0060]

Drawing 6 shows how gate drive block 128b is performing the local current limit to power-metal-oxide-semiconductor-field-effect-transistor 130b, when related power-metal-oxide-semiconductor-field-effect-transistor 130b turns on in addition to buffering of a low current logic signal. The input to gate drive block 128b is connected to the reset input of the single shot timer 170 and R-S flip-flop 172, and the input of the AND gate 174. The output of a flip-flop 172 is connected to another input of the AND gate 174, and the set input of a flip-flop is connected to the output of the AND gate 176. The output of the AND gate 174 is connected to the input of the inverter 178 which has the output connected to the gate of MOSFET 130b. The output of the single shot timer 170 is connected to the input of the AND gate 176. The current-limiting comparator 180 has the output connected to another input of the AND gate 176. One input of a comparator 180 is connected to the about 50-millivolt signal supplied from the  $V_{ref}$  signal, and the input of another side is connected to the source terminal of MOSFET 130b, and the end child of resistance 182. When the current of five or more amplifier flows from resistance to a gland, the value of resistance 182 is set up so that a predetermined electrical potential difference may be supplied to the input of a comparator 180.

[0061]

The single shot timer 170 supplies a signal for about 200 nanoseconds (only time amount whose switching noise is lost), after power-metal-oxide-semiconductor-field-effect-transistor 130b is turned on all over a power phase. By the output signal of the single shot timer 170, the output of the current-limiting comparator 180 which should be supplied to the set input of a flip-flop 172 from the AND gate 176 is validated. When the output of the current-limiting comparator 180 shows that the electrical potential difference of resistance 182 reached the current-limiting electrical potential difference, a flip-flop outputs a turn-off signal to the AND gate 174, and the AND gate 174 outputs a turn-off signal to an inverter 178, consequently a turn-off electrical potential difference is impressed to the gate terminal of MOSFET 130b. In this way, when the current more than five amplifier flows to power metal-oxide semiconductor field effect transistor, power-metal-oxide-semiconductor-field-effect-transistor 130b is immediately turned off to the remaining periods of a power phase. Similarly, the current which flows to MOSFET 130d in the same way is restricted gate drive block 128d.

[0062]

Drawing 4 shows the outline of current control of 1 operation gestalt of this invention materialized as IC104'. Although the outline of current control IC104' is similar with the power control IC 104, it differs somewhat. Since current control is adopted by IC104' in order to restrict the power supplied to a lamp 106, the power control block 136 is not formed in IC104'. The output of the brightness operational amplifier 144 is supplied to the addition node 141, and the addition node 141 receives an  $I_{sense}$  current through connection with the sense resistance 109, as shown in drawing 1 B. Similarly, the output of the addition node 141 is supplied to the end child of the loop-formation compensation capacitor 148 and the on time timer 142. The current which flows to the sense resistance 109 is proportionally approximated to the amount of currents which flows on a lamp 106-like. IC104' controls the electric energy which drives a lamp 106 based on this approximation.

[0063]

The user input in a potentiometer is changed into a current ( $I_{brt}$ ) using the brightness operational amplifier 144, the addition node 141 compares the current and  $I_{sense}$  current, and differential current flows to the loop-formation compensation capacitor 148, or it is made for the approach of current control of IC104' to flow out of there. on the other hand, by the power control approach of IC104

Conversion [ use (1) brightness operational amplifier 144 and ] of a user input on an Ibright current : which performs the following steps -- Addition (multiplication) (2) -- an analog multiplier -- using -- an Iswitch current, Vsupply, and a duty cycle -- it is proportional -- a current -- a logarithm ---like Subtraction (division) of a current to the Ibright current added-like (3) -- an analog multiplier -- using -- a logarithm -- (4) Compare the result of the inverse logarithm of subtraction with an Ireference current, and differential current is determined. (5) Differential current is used, the compensation capacitor 148 is charged or discharged, and, as for the on time timer 142, only the amount of stored charge adjusts the time interval of each power phase in relation to the electrical potential difference impressed to the loop-formation compensation capacitor 148.

[0064]

The outline 200 which shows this invention which consisted of four modes of operation or the phases of performing the cycle for driving a load using AC signal is shown in drawing 7 . all -- four -- a \*\* -- a phase -- namely, -- power -- a phase -- (-- A --) -- 202 -- a pause -- a phase -- (-- A --) -- 204 -- power -- a phase -- (-- B --) -- 206 -- and -- a pause -- a phase -- (-- B --) -- 208 -- \*\*\*\* -- being the same -- components -- using -- having . It is illustrated as power metal-oxide semiconductor field effect transistor 130a, 130b, and 130c and a switch with separate 130d. When power metal-oxide semiconductor field effect transistor is turned on, the condition is expressed as a closed switch (when it flows). When power metal-oxide semiconductor field effect transistor is turned off, the condition is expressed as an open switch (when it is un-flowing). Thus, the switch-on of power metal-oxide semiconductor field effect transistor is illustrated so that it may become clearer to the phase where cycles differ.

[0065]

The end child of power transistor 130a is connected to a Vsupply terminal, and other terminals are connected to the end child of power transistor 130b, and the end child of a tank circuit 108. The end child of power transistor 130c is connected to a Vsupply signal (DC power supply), and other terminals are connected to other terminals of a tank circuit 108, and a power transistor 130d end child. Other power transistors [ 130b and 130d ] terminals are connected to the gland.

[0066]

The power transistors 130b and 130c which counter on the diagonal line are turned off (open position), and power transistors 130a and 130d are turned on as shown in the power phase (A) 202 (closed position). DC current from a Vsupply terminal flows power transistor 130a, passes through a tank circuit 108, and returns to a gland through power transistor 130d.

[0067]

Vsupply -- a terminal -- from -- a current -- flow -- the peak current -- a comparator -- 138 -- being shown -- having -- predetermined -- the peak current -- a value -- at least -- equal -- having become -- the time -- or -- on time one - a timer -- 142 -- having completed -- the time -- a power transistor -- power -- a phase -- (-- A --) -- 202 -- from -- a pause -- a phase -- (-- A --) -- 204 -- \*\*\*\*\* -- giving a definition -- having had -- a condition -- changing . However, these conditions do not happen, but when a tank current returns to the zero cross point so that it may be shown by the zero cross detector 140, a power transistor changes to the condition of having defined as a power phase (B) directly, without going into a pause phase (A). Jumping over this pause phase is performed when a high load and a comparatively low Vsupply electrical potential difference exist.

[0068]

In the pause phase (A) 204, the power transistors 130a and 130c which counter in an up longitudinal direction are put on an open position (off), and the power transistors 130b and 130d which counter in a lower longitudinal direction are put on the closed position (ON). In the state of the pause phase (a) 204, a tank circuit 108 minds emission for the accumulated energy, minds power transistor 130d for a current, and emits it to a gland. After emitting a part of energy [ at least ] with which the tank circuit was accumulated, a power transistor changes to the condition of having defined as a power phase (B) 206. This invention pursues the resonance frequency of a tank circuit, and it is changing a power transistor on this frequency, and a tank circuit accumulates energy in the power phase (A) 202, and it emits this

energy in a pause phase (A). In this way, AC signal impressed to the load connected to the tank circuit will have a comparatively smooth sinusoidal configuration in the "A" point of the cycle of AC signal.  
[0069]

Similarly, in the power phase (B) 206, the power transistors 130a and 130d which counter on the diagonal line are in an open position, and power transistors 130b and 130c are in a closed position. The current from a Vsupply terminal flows power transistor 130c, passes through a tank circuit 108, and returns to a gland through power transistor 130b. Vsupply -- a terminal -- from -- a current -- flow -- the peak current -- a comparator -- 138 -- being shown -- having -- predetermined -- the peak current -- a value -- at least -- equal -- having become -- the time -- or -- on time one - a timer -- 142 -- a time-out -- having become -- the time -- a power transistor -- power -- a phase -- (-- B --) -- 206 -- from -- a pause -- a phase -- (-- B --) -- 208 -- \*\*\*\*\* -- giving a definition -- having had -- a condition -- changing .  
[0070]

In the pause phase (B) 208, the power transistors 130a and 130c which counter in an up longitudinal direction are put on an open position, and power transistors 130b and 130d are put on the closed position. In the pause phase (B) 208, a tank circuit 108 will mind emission for the accumulated energy, will mind power transistor 130b for a current, and will emit it to a gland, and AC signal impressed to the load connected to the tank circuit will have a comparatively smooth sinusoidal configuration in the "B" point of the cycle of AC signal. After [ a certain ] carrying out period emission, a power transistor changes the accumulated energy to a power phase (A), and a gradual cycle is repeated. In this way, power is continuously supplied to a load through a cycle (both power and a pause phase), and the energy accumulated in the tank circuit 108 is supplied in each power phase.  
[0071]

This invention decreases the electric energy supplied to DIMINGU of a lamp, i.e., a load, by a power transistor's shortening the period arranged in the power phase (A) and the power phase (B), and lengthening the period when the transistor is arranged in the pause phase (A) and the pause phase (B)-like proportionally.  
[0072]

By the normal operating state, a lamp current (or power) is measured and it is compared with a user input (setting of a potentiometer) in the feedback loop. The error between the measured value of a lamp current and a user input (difference) is used in order to determine the time amount die length which is used in order to determine the electrical-potential-difference value impressed to the loop-formation compensation capacitor 148, and the on time timer 142 makes turn on a power transistor in a power phase. In this way, by adjusting a setup of a potentiometer, a user can cover the comparatively large range and can control the brightness of a lamp 106.  
[0073]

Drawing 8 A-8D is AC voltage signal generated by this invention under the maximum power and the power condition which decreased, and a load, i.e., drawing showing correspondence with the current supplied to CCFL. In the topmost graph 210, the level time-axis 216 and the perpendicular electrical-potential-difference shaft 218 are shown. With H bridge configuration, the amplitude 212 and 214 of peak voltage is equal to the electrical potential difference supplied by the power source, and a peak pair peak load electrical potential difference is twice the supply voltage. the rising edge 220 almost perpendicular in a straight line -- the minus wave form 214 -- a forward wave -- whenever it changes to 212, it generates in the zero cross of the current of a tank circuit. Similarly, the perpendicular falling edge 222 is generated when a power phase is completed by one of three conditions which a power phase ends, as described above. Furthermore, a graph 210 shows a voltage waveform when between [ IC / 104 ] each half cycle of tank resonance frequency supplies the greatest power/current to the tank circuit. Especially this wave is acquired when the circuit supplies design maximum electric power to the load with the design minimum supply voltage.  
[0074]

In the 2nd graph 230 of drawing 8 B, the level time-axis 232 and the perpendicular current shaft 224 corresponding to the voltage waveform illustrated in the graph 210 are shown. The maximum of the

forward current wave form 226 is equal to the value of the forward peak current. Similarly, the maximum of the negative current wave form 228 is equal to the value of the negative peak current. The roundish falling edge 234 is generated in the resonance frequency of a tank circuit 108, when charge of a circuit is completed according to the forward current wave form 226. The roundish rising edge 235 is generated in the resonance frequency of a tank circuit 108, when a circuit starts charge.

[0075]

In the 3rd graph 240 of drawing 8 C, the level time-axis 242 and the perpendicular electrical-potential-difference shaft 244 are shown. The amplitude of the peak voltage supplied to a load by voltage waveforms 236 and 238 is equal to supply voltage, and a peak pair peak load electrical potential difference is twice the supply voltage. In a graph 240, the duty cycle of both the forward progressive wave form 236 and the negative progressive wave form 238 is reduced by the third of the greatest duty cycle (100%). A graph 240 shows that it generates in the zero cross of a current wave form to all the values whose rising edges of the falling edge modulation of the duty cycle of a drive wave, i.e., the electrical-potential-difference pulse of amphipathy, are duty cycles. Furthermore, a graph 240 shows the case where the electrical potential difference which extinction of the lamp is carried out or is supplied by the power source like [ when supply voltage is higher than the design minimum value ] is not what brings about the maximum-electric-power capacity of H bridge circuit. On the other hand, a graph 210 shows the case where a supply voltage which agrees in the maximum capacity of a tank circuit is a peak.

[0076]

In the 4th graph 246 of drawing 8 D, the level time-axis 248 and the perpendicular electrical-potential-difference shaft 250 corresponding to the voltage waveform shown in the graph 240 are shown. The maximum of the forward current wave form 252 is equal to a forward peak current value. Similarly, the maximum of the negative current wave form 254 is equal to a negative peak current value. The roundish rising edge 256 is generated in the resonance frequency of a tank circuit 108, when a circuit is charged according to the forward current wave form 252 and a circuit begins to emit a current to a load. Similarly, the roundish falling edge 258 is generated when a tank circuit 108 begins to emit few currents to a load. The tank circuit is important at the point of being prepared in order to smooth the current wave form supplied to a load, when there are few voltage waveforms than 100% duty cycle. The voltage waveform pulse shown in a graph 240 is oscillated in the zero cross of the current wave form shown in a graph 246, and, thereby, the amount of energy supplied to a tank circuit is controlled.

[0077]

Drawing 9 A and 9B are two graphs which show correspondence with the rising edge modulation of AC voltage signal generated by this invention, and the current supplied to a load under the conditions on which power was reduced. The rising edge modulation of AC voltage signal is substantially used by the same approach with what was shown in drawing 8 - drawing 8 D to the falling edge of AC voltage signal. To a rising edge modulation, after the zero cross point of AC current wave form arises, AC voltage signal is activated, and in the following zero cross point, it is deactivated.

[0078]

In the graph 241 of the topmost part of drawing 9 A, the level time-axis 247 and the perpendicular electrical-potential-difference shaft 245 are shown. The amplitude of the peak voltage supplied to a load by voltage waveforms 237 and 239 is equal to supply voltage, and a peak pair peak load electrical potential difference is twice the supply voltage. In a graph 241, the duty cycle of both the forward progressive wave form 237 and the negative progressive wave form 239 is reduced by the third of the greatest duty cycle (100%). Furthermore, a graph 241 shows the case where the electrical potential difference which extinction of the lamp is carried out or is supplied by the power source like [ when supply voltage is higher than the design minimum value ] is not what brings about the maximum-electric-power capacity of H bridge circuit.

[0079]

In the graph 247 of the lower part of drawing 9 B, the level time-axis 249 and the perpendicular electrical-potential-difference shaft 251 corresponding to the voltage waveform shown in the graph 241

are shown. The maximum of the forward current wave form 253 is equal to a forward peak current value. Similarly, the maximum of the negative current wave form 255 is equal to a negative peak current value. The roundish rising edge 257 is generated in the resonance frequency of a tank circuit 108, when a circuit is charged according to the forward current wave form 253 and a circuit begins to emit a current to a load. Similarly, the roundish falling edge 259 is generated when a tank circuit 108 begins to emit few currents to a load. The voltage waveform pulse shown in a graph 241 is oscillated in front of the zero cross of the current wave form shown in a graph 247, and, thereby, the amount of energy supplied to a tank circuit is controlled.

[0080]

In drawing 10 A, a graph 260 shows the both-sides phase modulation (double-side phase modulation) of AC voltage signal. The perpendicular electrical-potential-difference ( $V_{ab}$ ) shaft 264 and the level time-axis 262 are shown corresponding to the voltage waveform shown in the graph 260. On H bridge, forward [ of peak voltage ] and negative reach wave 266, 268 is equal to supply voltage, and peak pair peak voltage is twice the supply voltage. In the 2nd graph 271 of drawing 10 B, the level time-axis 267 and the perpendicular current shaft 265 are shown corresponding to the voltage waveform shown in the graph 260. The maximum of the forward current wave form 270 is equal to a forward peak current value. Similarly, the maximum of the negative current wave form 269 is equal to a negative peak current value. Furthermore, since a both-sides phase modulation arranges a voltage waveform in the center in the peak of the current wave form where it corresponds, in this invention, it can relate to the electric energy supplied to a load, and the width of face (both sides) of a voltage waveform can be increased or decreased.

[0081]

In drawing 11 A - drawing 11 D, the current supplied to the pulse train modulation (pulse train phase modulation) and load of AC voltage signal is shown by the greatest power conditions. In the graph 278 of the topmost part of drawing 11 A, the level time-axis 272 and the perpendicular electrical-potential-difference shaft 274 are shown. The square wave form 276 of a forward electrical potential difference is equal to the electrical potential difference supplied by the power source. A wave is turned on in the one half of the beginning of a power cycle, and is turned off in the 2nd one half of a cycle.

[0082]

In the 2nd graph 286 of drawing 11 B, the level time-axis 284 and the perpendicular time-axis 280 are shown. The square wave form 282 of a forward electrical potential difference is equal to the electrical potential difference supplied by the power source. Furthermore, a wave is turned off in the one half of the beginning of a power cycle, and is turned on in the 2nd one half of a cycle.

[0083]

In the 3rd graph 288 of drawing 11 C, the level time-axis 296 and the perpendicular time-axis 290 are shown. The square wave form 292 of a forward electrical potential difference is equal to the electrical potential difference supplied by the power source, and is equal to the electrical potential difference supplied by the power source. [ of the square wave form 294 of a negative electrical potential difference ] Furthermore, a voltage waveform is turned on by turns in a power cycle. That is, a forward wave is turned on in the one half of the beginning of a cycle, and a minus wave form is turned on in the 2nd one half.

[0084]

In the 4th graph 300 of drawing 11 D, the level time-axis 302 and the perpendicular current shaft 306 are displayed corresponding to the voltage waveform shown in a graph 288. The maximum of the forward current wave form 304 is equal to a forward peak current value. Similarly, the maximum of the negative current wave form 303 is equal to a negative peak current value.

[0085]

In drawing 12 A - drawing 12 D, the current supplied to the pulse train modulation and load of AC voltage signal is shown under the reduced power conditions. In the graph 308 of the topmost part of drawing 12 A, the level time-axis 310 and the perpendicular electrical-potential-difference shaft 312 are shown. The square wave form 314 of a forward electrical potential difference is equal to the electrical

potential difference supplied by the power source. furthermore, a forward wave -- 314 has 50% of duty cycle, period ON of the 1st and 2nd quarters (the 1st one half) of a power cycle is carried out, and period OFF of the 3rd and 4th quarters (the 2nd one half) of a cycle is carried out.

[0086]

In the 2nd graph 318 of drawing 12 B, the level time-axis 320 and the perpendicular electrical-potential-difference shaft 322 are shown. The square wave form 316 of a forward electrical potential difference is equal to the electrical potential difference supplied by the power source. Furthermore, a forward voltage waveform has 50% of duty cycle, period ON of the 2nd and 3rd quarters of a power cycle is carried out, and period OFF of the 1st and 4th quarters of a cycle is carried out.

[0087]

In the 3rd graph 326 of drawing 12 C, the level time-axis 328 and the perpendicular time-axis 324 are shown. The square wave form 330 of a forward electrical potential difference is equal to the electrical potential difference supplied by the power source, and is equal to the electrical potential difference supplied by the power source. [ of the square wave form 333 of a negative electrical potential difference ] The forward voltage waveform 330 is turned on at the period of the 1st quarter of a power cycle, and the minus wave form 333 is turned on at the period of the 3rd quarter of a cycle. During the period of the 2nd and 4th quarters of a power cycle, since the electrical potential difference in two outputs of H bridge is canceled equally and mutually, the electrical potential difference of the net supplied to a load is zero.

[0088]

In the 4th graph 336 of drawing 12 D, the level time-axis 338 and the perpendicular current shaft 340 are displayed corresponding to the voltage waveform shown in a graph 326. The maximum of the forward current wave form 342 is equal to a forward peak current value. Similarly, the maximum of the negative current wave form 343 is equal to a negative peak current value. Furthermore, the current wave form is shown as what supplies the power of the reduced amount to a load. In addition, it is possible to modulate the electric energy which changes the wave-like relative topology shown in graphs 308 and 318, and is supplied to a load.

[0089]

As shown in drawing 13, this invention which consisted of four modes of operation which complete the cycle for driving a load by AC signal by which the phase modulation was carried out is shown by the schematic diagram 344. All four phases "I" 346, i.e., a power phase, the pause phase "II" 348, the power phase "III" 350, and the pause phase "IV" 352 use the same components. It is illustrated as power metal-oxide semiconductor field effect transistor 130a, 130b, and 130c and a switch with separate 130d. When power metal-oxide semiconductor field effect transistor is turned on, the condition is expressed as a closed switch (when it flows). When power metal-oxide semiconductor field effect transistor is turned off, the condition is expressed as an open switch (when it is un-flowing). Thus, the switch-on of power metal-oxide semiconductor field effect transistor is illustrated so that it may become clearer to the phase where cycles differ. The physical configuration of MOSFET is substantially [ as the configuration explained by above-mentioned drawing 6 ] the same.

[0090]

In the power phase "I" 346, the power transistors 130b and 130c which counter on the diagonal line are turned off (open position), and power transistors 130a and 130d are turned on (closed position). DC current from a Vsupply terminal flows power transistor 130a, passes through a tank circuit 108, and returns to a gland through power transistor 130d.

[0091]

When the flow of the current from a Vsupply terminal becomes equal to the predetermined peak current value shown by the peak current comparator 138 at least, or when the on time timer 142 is completed, a power transistor changes from the power phase "I" 346 to the condition of having defined as a pause phase "II" 348. However, these conditions do not happen, but when a tank current returns to the zero cross point so that it may be shown by the zero cross detector 140, a power transistor changes to the condition of having defined as a power phase "III" 350, directly, without going into a pause phase "II."

Jumping over this pause phase is performed when a high load and a comparatively low  $V_{supply}$  electrical potential difference exist.

[0092]

In the pause phase "II" 348, the power transistors 130a and 130c which counter in an up longitudinal direction are put on a closed position (ON), and the power transistors 130b and 130d which counter in a lower longitudinal direction are put on the open position (off). In the condition of the pause phase "II" 348, a tank circuit 108 emits the accumulated energy to a load by circulating a current through power transistors 130a and 130c. After emitting a part of energy [ at least ] with which the tank circuit was accumulated, a power transistor changes to the condition of having defined as a power phase "III" 350.

[0093]

Similarly, in the power phase "III" 350, the power transistors 130a and 130d which counter on the diagonal line are in an open position, and power transistors 130b and 130c are in a closed position. The current from a  $V_{supply}$  terminal flows power transistor 130c, passes through a tank circuit 108, and returns to a gland through power transistor 130b. When the flow of the current from a  $V_{supply}$  terminal becomes equal to the predetermined peak current value shown by the peak current comparator 138 at least, or when the on time timer 142 becomes a time-out, a power transistor changes from the power phase "III" 350 to the condition of having defined as a pause phase "IV" 352.

[0094]

In the pause phase "IV" 352, the power transistors 130a and 130c which counter in an up longitudinal direction are put on an open position, and power transistors 130b and 130d are put on the closed position. In the pause phase "IV" 352, a tank circuit 108 minds emission for the accumulated energy, minds power transistor 130b for a current, and emits it to a gland. After [ a certain ] carrying out period emission, a power transistor changes the accumulated energy to the power phase "I" 346, and a gradual cycle is repeated. In this way, power is continuously supplied to a load through a cycle (both power and a pause phase), and the energy accumulated in the tank circuit 108 is supplied in each power phase.

[0095]

It sets to DIMINGU of a burst mode, and a discharge lamp 106 is turned on and turned off at high-speed rates, such as 180 etc. Hertz. ON of a discharge lamp 106 determines the frequency of AC signal which drives a lamp with the on time timer 142 and the zero cross detector 140. Typical clock frequency is 50kHz. To DIMINGU of 50% of burst mode, as for a discharge lamp 106, time amount OFF of the one half is carried out. In the actual example over the frequency chosen, ON time amount consists of 135 cycles by 50kHz oscillation by 2.7 mses. This ON time amount continues after the off time amount of 2.7 mses. Similarly, by DIMINGU of 5% of burst mode, ON time amount is 0.27 mses and consists of about 13 50kHz cycles of the lamp current following the off time amount of about 5.3 mses. ON and the sum total of a "off" period are equal to 180 Hertz. When DIMINGU of a burst mode is started, let analog feedback in IC104 be an invalid (when a discharge lamp is turned off). In this way, as for the loop-formation compensation capacitor 148, neither discharge nor charge is carried out, but a right on time setup to the on time timer 142 is re-assigned between the OFF states of a burst mode.

[0096]

The above-mentioned explanation is detailed explanation of 1 operation gestalt of this invention. However, the approach of this invention is shown by drawing 14 in the more general standpoint. In step 1101, an inverter 100 starts first. This step includes various procedures which start for example, various components. Next, in step 1103, an inverter 100 supplies one or more high energy pulses, in order to start a lamp (or other loads). The vocabulary "high energy" used here says the thing of the pulse of energy higher than the energy pulse in normal operation. In the above-mentioned Pulse Density Modulation, this supports large PASURU width of face. Finally, after a lamp is started in step 1105, a high energy pulse is stopped and the usual energy pulse is supplied.

[0097]

Although the desirable operation gestalt was illustrated and explained, various change can be made without deviating from the pneuma and the range of this invention.

[0098]

## [Effect of the Invention]

According to this invention, the outstanding effectiveness that the electric energy used since a lamp is driven is effectively controllable is done so.

## [Brief Description of the Drawings]

[Drawing 1] A is the schematic diagram of the power control integrated circuit connected to the tank circuit of the upstream of the pressure-up transformer for driving a discharge lamp, and B is the schematic diagram of the power control integrated circuit connected to another tank circuit of the upstream of the pressure-up transformer for driving a discharge lamp.

[Drawing 2] A is the schematic diagram of the current control integrated circuit connected to another tank circuit of the upstream of the pressure-up transformer for driving a discharge lamp. B It is the schematic diagram of another power control integrated circuit using another tank circuit arranged secondary [ of the pressure-up transformer used since a discharge lamp is driven ]. C It is the schematic diagram of another power control integrated circuit using another tank circuit arranged secondary [ of the pressure-up transformer adopted since a discharge lamp is driven ]. D It is the schematic diagram of another tank circuit arranged secondary [ of the pressure-up transformer used since a discharge lamp is driven ], and E is the schematic diagram of another tank circuit which has a primary connection capacitor.

[Drawing 3] It is the schematic diagram of the power control integrated circuit for driving a discharge lamp.

[Drawing 4] It is the schematic diagram of the current control integrated circuit for driving a discharge lamp.

[Drawing 5] It is the schematic diagram of power control block materialized with the power control integrated circuit.

[Drawing 6] It is the schematic diagram of the gate drive block materialized with current control and a power control integrated circuit.

[Drawing 7] It is drawing for explaining the various phases of the oscillation cycle of this invention.

[Drawing 8] A-D is a graph which shows correspondence with the voltage waveform and current wave form which were generated when driving a discharge lamp by both max and the partial duty cycle.

[Drawing 9] A and B are graphs which show the rising edge modulation of the voltage waveform in partial power, and the current wave form where it corresponds.

[Drawing 10] A and B are graphs which show the both-sides modulation of the voltage waveform in partial power, and the current wave form where it corresponds.

[Drawing 11] A-D is a graph which shows the pulse train modulation and current wave form of a voltage waveform in total power.

[Drawing 12] A-D is a graph which shows the pulse train modulation and current wave form of a voltage waveform in partial power.

[Drawing 13] It is drawing for explaining the direction of four phases of a power switch, and load currents at the time of a phase modulation.

[Drawing 14] It is a flow chart for explaining the approach of this invention.

## [Description of Notations]

104 -- DC-AC converter

108 -- A tank circuit, self-oscillation circuit

130a, 130b, 130c, 130d -- Switch

146 -- Controller

---

[Translation done.]



\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] A is the schematic diagram of the power control integrated circuit connected to the tank circuit of the upstream of the pressure-up transformer for driving a discharge lamp, and B is the schematic diagram of the power control integrated circuit connected to another tank circuit of the upstream of the pressure-up transformer for driving a discharge lamp.

[Drawing 2] A is the schematic diagram of the current control integrated circuit connected to another tank circuit of the upstream of the pressure-up transformer for driving a discharge lamp. B It is the schematic diagram of another power control integrated circuit using another tank circuit arranged secondary [ of the pressure-up transformer used since a discharge lamp is driven ]. C It is the schematic diagram of another power control integrated circuit using another tank circuit arranged secondary [ of the pressure-up transformer adopted since a discharge lamp is driven ]. D It is the schematic diagram of another tank circuit arranged secondary [ of the pressure-up transformer used since a discharge lamp is driven ], and E is the schematic diagram of another tank circuit which has a primary connection capacitor.

[Drawing 3] It is the schematic diagram of the power control integrated circuit for driving a discharge lamp.

[Drawing 4] It is the schematic diagram of the current control integrated circuit for driving a discharge lamp.

[Drawing 5] It is the schematic diagram of power control block materialized with the power control integrated circuit.

[Drawing 6] It is the schematic diagram of the gate drive block materialized with current control and a power control integrated circuit.

[Drawing 7] It is drawing for explaining the various phases of the oscillation cycle of this invention.

[Drawing 8] A-D is a graph which shows correspondence with the voltage waveform and current wave form which were generated when driving a discharge lamp by both max and the partial duty cycle.

[Drawing 9] A and B are graphs which show the rising edge modulation of the voltage waveform in partial power, and the current wave form where it corresponds.

[Drawing 10] A and B are graphs which show the both-sides modulation of the voltage waveform in partial power, and the current wave form where it corresponds.

[Drawing 11] A-D is a graph which shows the pulse train modulation and current wave form of a voltage waveform in total power.

[Drawing 12] A-D is a graph which shows the pulse train modulation and current wave form of a voltage waveform in partial power.

[Drawing 13] It is drawing for explaining the direction of four phases of a power switch, and load currents at the time of a phase modulation.

[Drawing 14] It is a flow chart for explaining the approach of this invention.

### [Description of Notations]

104 -- DC-AC converter

108 -- A tank circuit, self-oscillation circuit

130a, 130b, 130c, 130d -- Switch

146 -- Controller

---

[Translation done.]

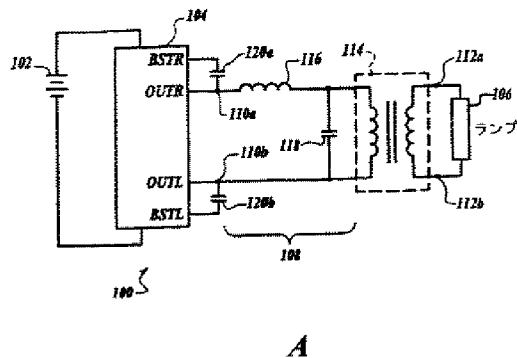
## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

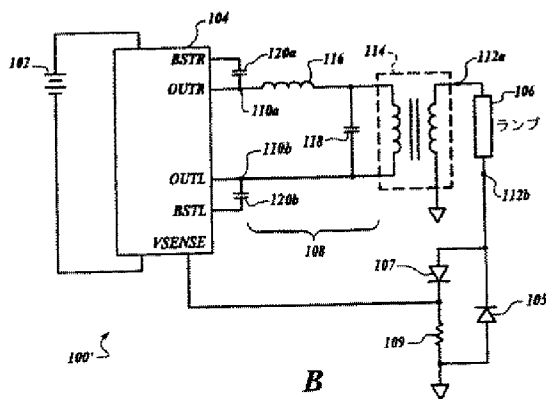
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]

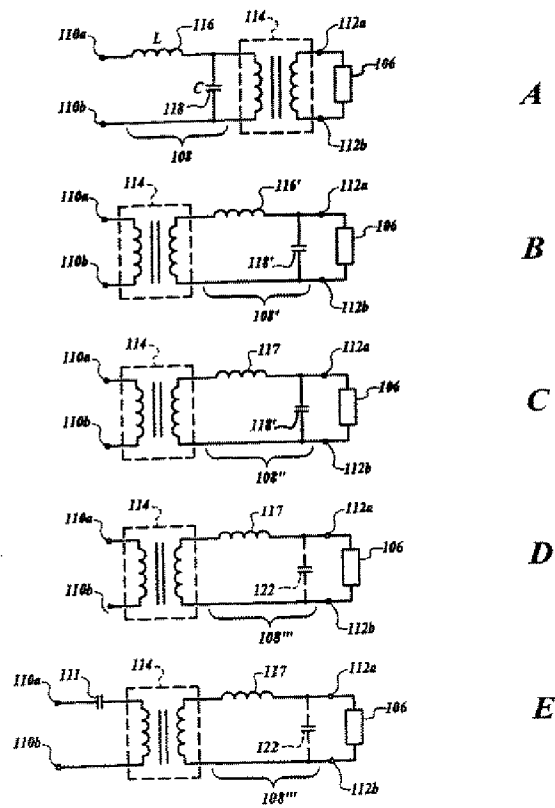


A

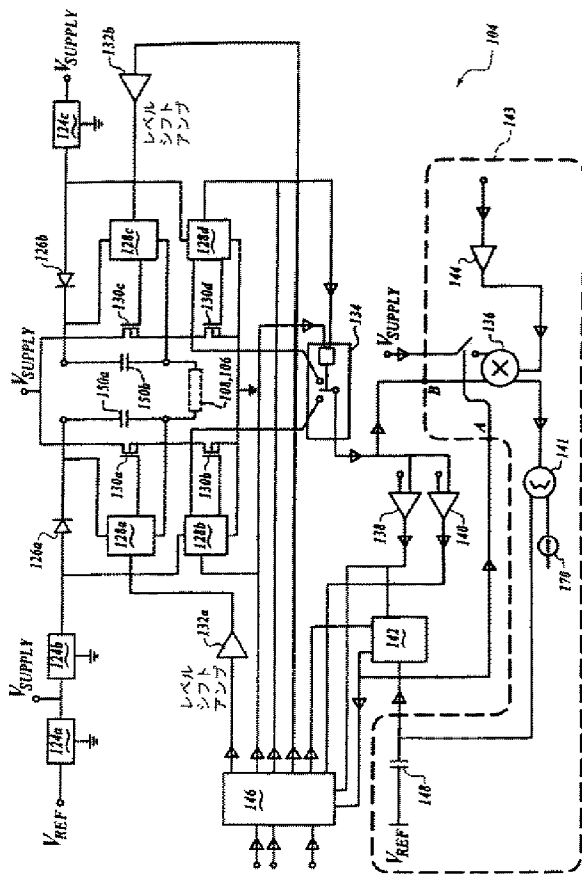


B

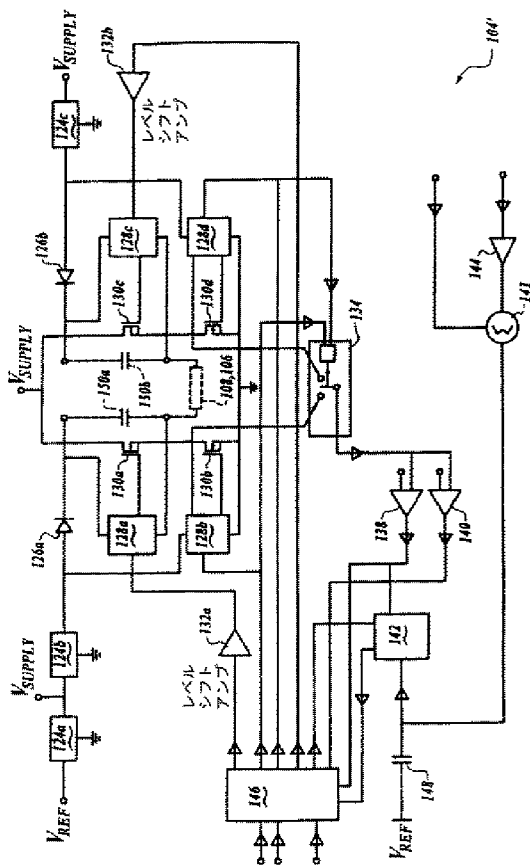
[Drawing 2]



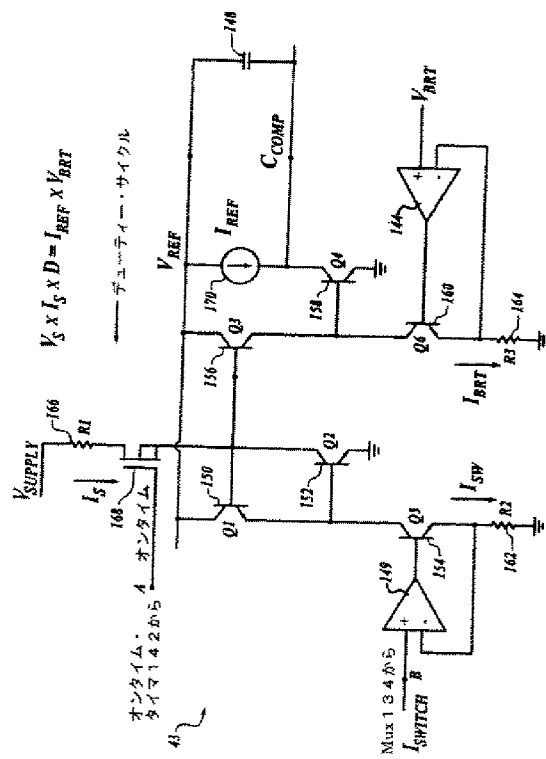
[Drawing 3]



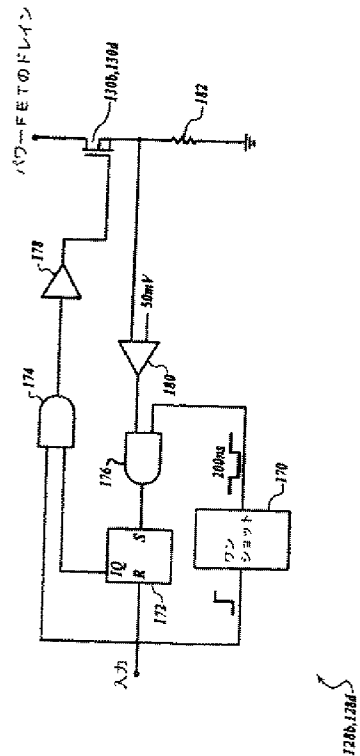
[Drawing 4]



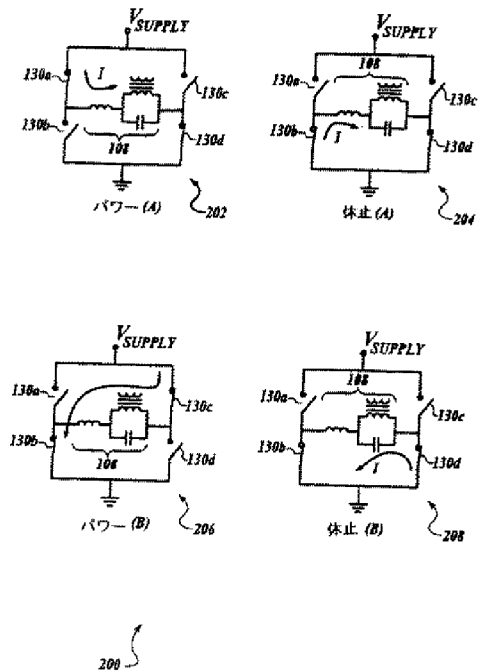
[Drawing 5]



[Drawing 6]

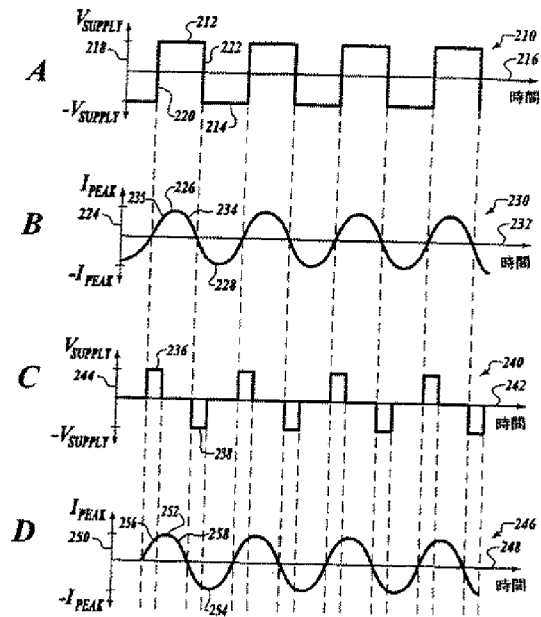


[Drawing 7]

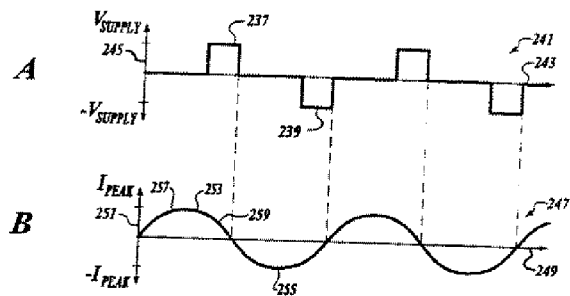




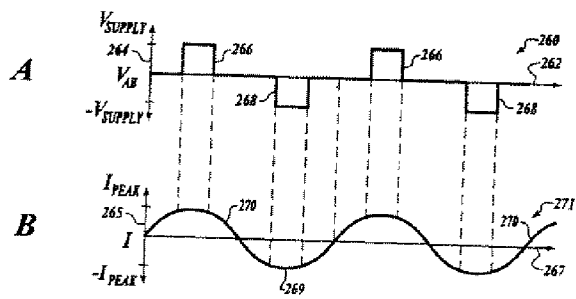
[Drawing 8]



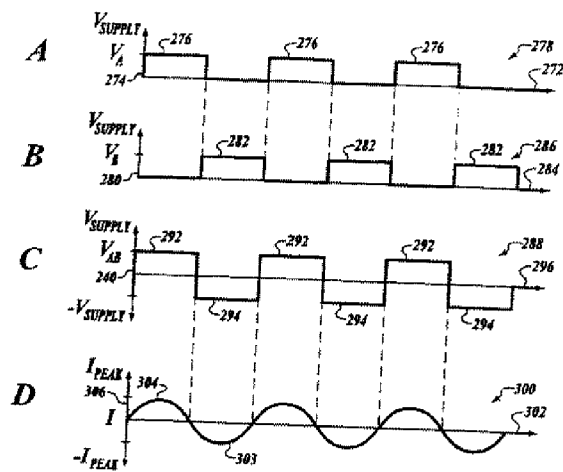
[Drawing 9]



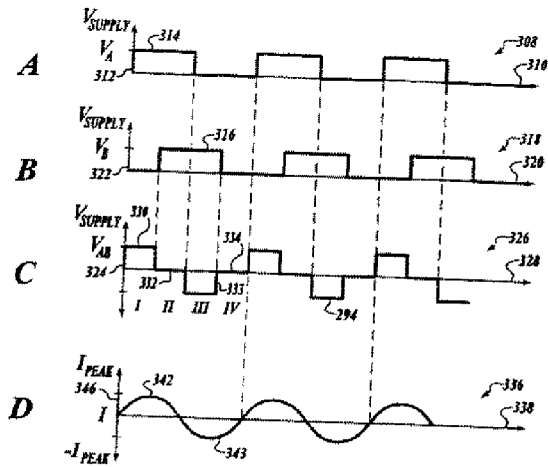
[Drawing 10]



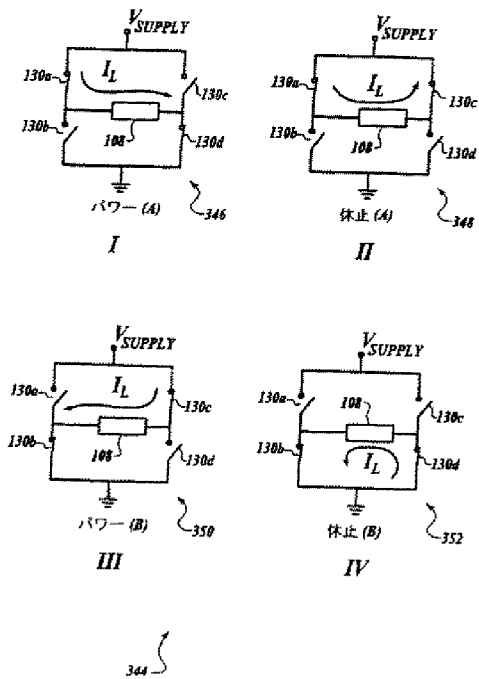
[Drawing 11]



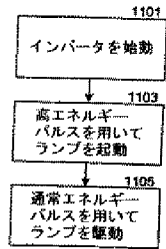
[Drawing 12]



[Drawing 13]



[Drawing 14]



---

[Translation done.]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号  
特開2004-55538  
(P2004-55538A)

(43) 公開日 平成16年2月19日(2004.2.19)

(51) Int.Cl. <sup>7</sup>	F I	テーマコード (参考)	
H05B 41/24	H05B 41/24	H	3K072
H02M 7/48	H02M 7/48	P	3K098
H05B 41/392	H05B 41/392	G	5H007

審査請求 未請求 請求項の数 20 O L (全 26 頁)

(21) 出願番号	特願2003-150554 (P2003-150554)	(71) 出願人	503151177 モノリシック パワー システムズ イン コーポレイテッド Monolithic Power Sy stems, Inc. アメリカ合衆国 95032 カリフォル ニア州 ロス ガトス ビルディング デ ィ ユニバーシティ アベニュー 983
(22) 出願日	平成15年5月28日 (2003.5.28)	(74) 代理人	100068755 弁理士 恩田 博宣
(31) 優先権主張番号	10/160394	(74) 代理人	100105957 弁理士 恩田 誠
(32) 優先日	平成14年5月31日 (2002.5.31)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

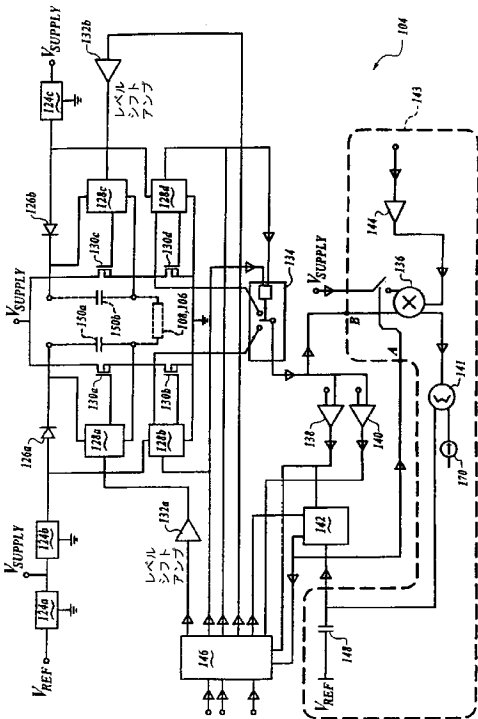
(54) 【発明の名称】 高エネルギーの初期パルスを用いて放電ランプを始動するための方法

(57) 【要約】

【課題】 冷陰極蛍光ランプ（CCFL）を駆動するために使用される電力量を効果的に制御することができるDC-ACインバータを提供する。

【解決手段】 DC-ACインバータは、DC信号からAC信号を生成するための複数のスイッチ（130a、130b、130c、130d）のネットワークと、複数のスイッチのネットワークとランプ（106）との間に接続され、ランプに供給されるAC信号をフィルタリングするタンク回路（108）と、タンク回路の共振周波数に基づいて複数のスイッチのネットワークの一部を周期的に開閉して、ランプの起動時に高エネルギーをランプに供給するように動作するコントローラ（146）とを備える。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

ランプを駆動するための装置であって、

(a) DC信号からAC信号を生成するための複数のスイッチのネットワークであって、DC信号は前記複数のスイッチのネットワークに接続され、前記AC信号は前記複数のスイッチのネットワークの一部が、前記複数のスイッチの他の一部の周期的な開閉とは反対に周期的に開閉することにより生成されるものである前記複数のスイッチのネットワークと、

(b) 前記複数のスイッチのネットワークと前記ランプとの間に接続されたタンク回路であって、前記ランプに供給されるAC信号をフィルタリングする前記タンク回路と、 10

(c) 前記タンク回路の共振周波数に基づいて前記複数のスイッチのネットワークの一部を周期的に開閉して、前記DC信号により供給される電圧の範囲のもとで最適な量の電力が前記ランプに供給されるようにするためのコントローラであって、前記ランプの起動時において高エネルギーを供給するように動作する前記コントローラとを備える装置。

**【請求項 2】**

請求項 1 に記載の装置において、前記タンク回路は、前記複数のスイッチのネットワークからAC信号を受け取る一次巻線と、前記ランプに接続された二次巻線とを有する昇圧トランスを含み、前記一次巻線と前記二次巻線との比によって前記AC信号が、前記一次巻線によって受け取られた前記AC信号の別の電圧の別の値とは異なる値を有する電圧に前記二次巻線を介して誘導される、装置。 20

**【請求項 3】**

請求項 2 に記載の装置において、前記タンク回路は前記AC信号に対するフィルタを含む、装置。

**【請求項 4】**

請求項 3 に記載の装置において、前記フィルタはインダクタンス部品及び容量部品を含む二次的なフィルタである、装置。

**【請求項 5】**

請求項 4 に記載の装置において、前記トランスはインダクタンス部品を提供する、装置。

**【請求項 6】**

請求項 1 に記載の装置は更に、前記タンク回路の共振周波数を決定し、前記コントローラに共振周波数の指示を供給するためのゼロクロス検出器を備える装置。 30

**【請求項 7】**

請求項 6 に記載の装置において、前記ゼロクロス検出器は、前記AC信号が負荷を駆動しているとき前記タンク回路の周波数応答性を追跡し、前記共振周波数が一つの値から他の値に変化したときに前記コントローラに指示を提供する、装置。

**【請求項 8】**

請求項 1 に記載の装置において、前記ランプは、冷陰極蛍光、金属ハロゲン、及びナトリウム蒸気を含む放電ランプである、装置。

**【請求項 9】**

請求項 1 に記載の装置において、前記複数のスイッチはHブリッジ・ネットワークに配列されたMOSFETである、装置。 40

**【請求項 10】**

請求項 9 に記載の装置は更に、前記Hブリッジ・ネットワークにおける各MOSFET用のゲート・ドライバであって、関連するMOSFETを制御する論理信号を増幅して供給する前記ゲート・ドライバを備える装置。

**【請求項 11】**

請求項 10 に記載の装置は更に、前記Hブリッジ・ネットワークの出力端子と負荷に接続された一端子と、基準電圧に接続されたダイオードに接続された別の端子とを有するキャパシタであって、上部MOSFETのソースの電圧が電源の配線にほぼ等しいとき前記上部MOSFETのゲートに印加されるオン電圧を活性化する前記キャパシタを備える装置 50

。

【請求項 1 2】

請求項 1 1 に記載の装置において、前記ゲート・ドライバは、負荷が前記 A C 信号により駆動される前に前記キャパシタを初期的に充電する、装置。

【請求項 1 3】

請求項 1 1 に記載の装置において、前記ゲート・ドライバは、当該ゲート・ドライバに関連する M O S F E T が導通していないとき前記キャパシタを充電する、装置。

【請求項 1 4】

請求項 1 に記載の装置において、前記コントローラはデューティ・サイクルに基づいて前記複数のスイッチのネットワークの一部を周期的に開閉して前記 A C 信号を位相変調してランパの起動中に広いパルス幅を供給するように動作する、装置。

10

【請求項 1 5】

ランパを駆動するための装置であって、

(a) D C 信号を A C 信号に変換するための D C - A C 変換器と、

(b) 前記 D C - A C 変換器と前記ランパとの間に接続され、前記ランパに供給される A C 信号を自己発振してフィルタリングする自己発振回路と、

(c) 前記 A C 信号の周波数が前記自己発振回路の共振周波数に基づくように D C - A C 変換器を調整するためのコントローラであって、通常動作よりもランパの起動時に高エネルギーパルスを供給するように動作する前記コントローラとを備える装置。

【請求項 1 6】

請求項 1 5 に記載の装置において、自己発振回路は前記 A C 信号を受け取る一次巻線と前記ランパに接続された二次巻線とを有する昇圧トランスを含む、装置。

20

【請求項 1 7】

請求項 1 6 に記載の装置において、前記自己発振回路は前記 A C 信号用のフィルタを含む、装置。

【請求項 1 8】

請求項 1 5 に記載の装置は更に、前記自己発振回路の共振周波数を決定し、共振周波数の指示を前記コントローラに供給するゼロクロス検出器を備える装置。

【請求項 1 9】

請求項 1 5 に記載の装置において、前記ランパは、冷陰極蛍光、金属ハロゲン、及びナトリウム蒸気を含む放電ランパである、装置。

30

【請求項 2 0】

放電ランパを駆動するための方法であって、

(a) D C 信号を A C 信号に変換し、

(b) 前記放電ランパへの前記 A C 信号をフィルタリングし、

(c) 前記 A C 信号が負荷の共振周波数に基づく周波数を有するように前記 D C 信号を変換し、

(d) 通常動作に対して前記ランパの起動時に前記ランパに高エネルギーを供給することを備える方法。

【発明の詳細な説明】

40

【0 0 0 1】

【発明の属する技術分野】

本発明は放電点灯の分野に関し、詳しくは、高エネルギーの初期パルスで放電ランパを初期始動することにより放電ランパを駆動するための電力を有効的に供給することに関する。

。

【0 0 0 2】

【従来の技術】

冷陰極蛍光ランパ (C C F L) 等の放電ランパは、即時過程及びランパに印加される振動 (A C 信号) の周波数に応じて変化する端子電圧特性を有する。C C F L が始動又は起動されるまで、ランパは始動電圧よりも小さい印加端子電圧により電流を流さない。アーク

50

がCCFL内に衝突すると、端子電圧は、入力電流の比較的広い範囲を越えて始動電圧の約1/3の駆動電圧へと低下する。CCFLが比較的高周波数のAC信号により駆動されると、CCFL（始動された）は、各サイクルにおいて消灯せず、正抵抗端子特性を示す。CCFLの効率は比較的高周波数によって改善され、CCFLは50キロヘルツから100キロヘルツの範囲の周波数を有するAC信号により一般的に駆動される。

#### 【0003】

CCFLを比較的高周波数方形波AC信号に駆動することにより、ランプの耐用寿命が最大となる。しかしながら、AC信号の方形波はCCFLを駆動する回路に近接する他の回路に重大な影響を与えるので、ランプは正弦波AC信号等の最適な波形でないAC信号により一般的に駆動される。

10

#### 【0004】

バッテリー電源システム、例えばノートブック・コンピュータ及びパーソナル・デジタル・アシスタンスにおいて非常に小さいCCFLが使用される。システム・バッテリーは、公称約12Vで7Vから20Vの範囲の直流(DC)電圧をDC-AC変換器の入力に供給する。比較的低いDC入力電圧を高いAC出力電圧に変換するための一般的な技術では、DC入力信号をパワースイッチを用いてチョッパ増幅し、チョッパ増幅により生成された高調波信号をろ波し、比較的精選された正弦波AC信号を出力する。AC信号の電圧はトランスにより比較的高い電圧、例えば12Vから1500Vにまで昇圧される。パワースイッチはバイポーラ接続トランジスタ(BJT)又は電界効果トランジスタ(MOSFET)を用いることができる。又、トランジスタは、個別に設けられるか、あるいはDC-AC変換器用の制御回路と同じパッケージに集積されてもよい。

20

#### 【0005】

抵抗部品は電力を消費し、回路の全体的な効率を低下させる傾向にあるので、DC-AC変換器用の一般的な高調波フィルタには、電力損失を最小化する、即ち選択された各部品が高Q値を有するように選択された誘導及び容量部品が用いられる。誘導及び容量部品を有する二次的な共振フィルタは「タンク」回路と呼ばれる。その理由はタンクが特定の周波数でエネルギーを蓄えるからである。

#### 【0006】

##### 【発明が解決しようとする課題】

CCFLを搭載する電子装置は、広い温度変化等の多種の環境条件において使用されることがある。更に、駆動回路内及び外部部品において部品の値の変化が通常起きる。このため、CCFLを最も効率的に起動するために必要となるエネルギーの量は変化することになる。

30

#### 【0007】

##### 【課題を解決するための手段】

本発明は、ランプを駆動するための装置であって、(a) DC信号からAC信号を生成するための複数のスイッチのネットワークであって、DC信号は前記複数のスイッチのネットワークに接続され、前記AC信号は前記複数のスイッチのネットワークの一部が、前記複数のスイッチの他の一部の周期的な開閉とは反対に周期的に開閉することにより生成されるものである前記複数のスイッチのネットワークと、(b) 前記複数のスイッチのネットワークと前記ランプとの間に接続されたタンク回路であって、前記ランプに供給されるAC信号をフィルタリングする前記タンク回路と、(c) 前記タンク回路の共振周波数に基づいて前記複数のスイッチのネットワークの一部を周期的に開閉して、前記DC信号により供給される電圧の範囲のもとで最適な量の電力が前記ランプに供給されるようにするためのコントローラであって、前記ランプの起動時において高エネルギーを供給するように動作する前記コントローラとを備える装置を提供する。

40

#### 【0008】

本発明は、ランプを駆動するための装置であって、(a) DC信号をAC信号に変換するためのDC-AC変換器と、(b) 前記DC-AC変換器と前記ランプとの間に接続され、前記ランプに供給されるAC信号を自己共振してフィルタリングする自己共振回路と、

50



(c) 前記 AC 信号の周波数が前記自己発振回路の共振周波数に基づくように DC-AC 変換器を調整するためのコントローラであって、通常動作よりもランプの起動時に高エネルギーパルスを供給するように動作する前記コントローラとを備える装置を提供する。

【0009】

本発明は、放電ランプを駆動するための方法であって、(a) DC 信号を AC 信号に変換し、(b) 前記放電ランプへの前記 AC 信号をフィルタリングし、(c) 前記 AC 信号が負荷の共振周波数に基づく周波数を有するように前記 DC 信号の変換を発振し、(d) 通常動作に対して前記ランプの起動時に前記ランプに高エネルギーを供給することを備える方法を提供する。

【0010】

【発明の実施の形態】

CCFL を駆動するためのインバータは、DC-AC 変換器、フィルタ回路、及びトランスを備える。そのような回路の例は、譲受人に譲渡されたシャノン他 (Shannon et al.) の米国特許第 6114614 号に開示されており、その内容を参照として本願明細書に盛り込むものとする。加えて、定周波数ハーフブリッジ (CFHB) 回路、又は誘導モードハーフブリッジ (IMHB) 回路等の他の従来技術のインバータ回路が CCFL を駆動するために使用されてもよい。本発明は、他のインバータ回路のみならず、これらインバータ回路のいずれかに関連して使用されてもよい。

【0011】

ここに開示された内容では、冷陰極蛍光、金属ハロゲン、及びナトリウム蒸気を含む冷陰極蛍光ランプ (CCFL) 等の放電ランプに電力を印加及び供給するための方法及び装置が提供される。本発明によれば、装置により CCFL に供給されるエネルギーの初期パルスは、CCFL が起動された後に CCFL に供給される定常エネルギーパルスよりも大きい。一実施形態では、初期パルスはパルス時間を広げることにより、より大きくなる。他の実施形態では、初期パルスは、パルス幅を維持しながら、パルスの電圧を増加させることにより、より大きくなる。ここで、初期パルスがより高いエネルギー量を有しているということが重要な考慮すべき点である。更に、本発明の方法が一つの種類のインバータに関して説明されているという点にも注目されたい。しかしながら、その方法は他のインバータを用いて行われてもよい。

【0012】

一実施形態において、本発明は Hブリッジ回路の形態に配列された 4 個のパワー MOSFET を含む集積回路 (IC) である。IC は、別の出力ネットワークと共に直流 (DC) 信号を、放電ランプ等の負荷を駆動するに十分な電圧を有する交流 (AC) 信号に変換する。IC は DC 電源により供給される電圧範囲に対して負荷の容量及び誘導部品に伴う出力ネットワークの共振周波数にて負荷を駆動する。

【0013】

Hブリッジ回路は DC 信号を周期的に反転することにより AC 信号を生成する。制御回路は AC 信号の各半サイクルのパルス幅変調 (PWM) により負荷に供給される電力量を調節する。PWM により通常動作中において対称的な AC 信号が供給されるので、AC 信号における高調波周波数であってもキャンセルされる。高調波を除去し、かつ全般的にフィルタ (負荷) の共振周波数にて動作することにより、フィルタの設計負荷 Q 値は適正に低くなり、フィルタにおける損失は最小化される。更に、CCFL は、ランプ内にアークを衝突させるために二次的に必要となるフラクションを除き、昇圧トランスの二次巻線に直接接続されているので、昇圧トランスの二次巻線は CCFL の駆動電圧で動作する。又、以下に説明するように制御回路は、通常動作に関して、負荷の起動中に負荷に供給されるパルスの幅を選択的に大きくする。

【0014】

図 1A には、タンク回路 108、及び CCFL 等のランプ 106 を含む負荷に接続された集積回路 104 (IC) に具体化された電力制御の概略図 100 が示されている。DC 電源 102、即ちバッテリーは IC 104 に接続されている。ブースト・キャパシタ 120a

10

20

30

40

50

は B S T R 端子及び出力端子 1 1 0 a 間に接続され、出力端子 1 1 0 a は O U T R と表示された別の端子に接続されている。同様に別のブースト・キャパシタ 1 2 0 b は B S T L 端子及び出力端子 1 1 0 b 間に接続され、出力端子 1 1 0 b は O U T L と表示された別の端子に接続されている。ブースト・キャパシタ 1 2 0 a 及び 1 2 0 b は、I C 1 0 4 内の回路であって、残りの回路の動作電圧を浮動させることが可能な回路を動作させるための電力を供給するエネルギー・リザーバである。

#### 【0015】

インダクタ 1 1 6 の一端子は出力端子 1 1 0 a に接続され、インダクタの反対の端子はキャパシタ 1 1 8 の一端子及び昇圧トランス 1 1 4 の一次巻線の一端子に接続されている。キャパシタ 1 1 8 の反対の端子は昇圧トランス 1 1 4 の一次巻線の別の端子及び出力端子 1 1 0 b に接続されている。昇圧トランス 1 1 4 の二次巻線の一端子はランプ端子 1 1 2 a に接続され、二次巻線の別の端子はランプ端子 1 1 2 b に接続されている。

#### 【0016】

反応性出力ネットワーク、即ちタンク回路 1 0 8 は、出力端子 1 1 0 a 、1 1 0 b と昇圧トランス 1 1 4 の一次巻線との間に接続された部品により形成されている。タンク回路は、特定の周波数でエネルギーを蓄え、かつ必要に応じてこのエネルギーを放出してランプ 1 0 6 に供給される A C 信号の正弦波形状を平滑化する二次的な共振フィルタである。タンク回路は、自己発振回路とも呼ばれる。

#### 【0017】

図 1 B においては、タンク回路 1 0 8 及びランプ 1 0 6 を含む負荷に接続された I C 1 0 4 ' に具体化された電力制御の概略図 1 0 0 ' が示されている。概略図 1 0 0 ' は、付加的な電流センスを除き、図 1 と実施的に同じである。ここでは、二次巻線の第 2 の端子はグランドに直接接続されている。他方のランプ端子 1 1 2 b はダイオード 1 0 7 のアノード及びダイオード 1 0 5 のカソードに接続されている。ダイオード 1 0 7 のカソードは、センス抵抗 1 0 9 の一端子及び I C 1 0 4 ' の V S e n s e 端子に接続されている。ダイオード 1 0 5 のアノードはセンス抵抗 1 0 9 の他の端子及びグランドに接続されている。この場合、I C 1 0 4 ' は、センス抵抗 1 0 9 の電圧をモニターして、ランプ 1 0 6 に流れる電流量を見積もり、かつランプを駆動するために使用される電力量を制御するために使用してもよい。

#### 【0018】

更に、本発明の電力及び電流制御の実施形態、即ち I C 1 0 4 及び I C 1 0 4 ' は、タンク回路の複数の異なる実施形態とともに使用することができる。図 2 A においては、図 1 及び図 1 B に示されるタンク回路 1 0 8 が I C 1 0 4 に接続されるものとして示されている。タンク回路 1 0 8 は昇圧トランス 1 1 4 の一次巻線に接続されたフィルタとして動作する。

#### 【0019】

図 2 B において、別の実施形態のタンク回路 1 0 8 ' が示されている。昇圧トランス 1 1 4 の一次巻線の一端子が出力端子 1 1 0 a に接続され、一次巻線の他の端子が他の出力端子 1 1 0 b に接続されている。インダクタ 1 1 6 ' の一端子は昇圧トランスの二次巻線の一端子に接続され、インダクタの他の端子はキャパシタ 1 1 8 ' の一端子及びランプ端子 1 1 2 a に接続されている。昇圧トランスの二次巻線の他の端子はキャパシタ 1 1 8 ' の他の端子及び他のランプ端子 1 1 2 b に接続されている。この実施形態では、タンク回路 1 0 8 ' は昇圧トランスの二次巻線側に配置された二次的なフィルタを形成する全ての反応性部品を有する。

#### 【0020】

図 2 C は図 2 B に示されたタンク回路 1 0 8 ' に類似する別の実施形態のタンク回路 1 0 8 ' を示す。タンク回路 1 0 8 ' はタンクの二次フィルタを形成するための個別誘導部品を用いていない。代わりに、この実施形態では、昇圧トランス 1 1 4 の巻線の本来の漏れインダクタンスが二次フィルタの誘導素子として用いられる。個別誘導部品なしでタンク回路 1 0 8 ' の二次フィルタを具体化することで、コストが低減される。

10

20

30

40

50

## 【0021】

図2Dは本発明を具体化する上で更なるコストを低減する別の実施形態のタンク回路108'を示す。この実施形態では、タンク回路108'はランフ配線の寄生容量122（最大ソース）、昇圧トランス114の二次巻線、及びトランスの本来のインダクタンス117を用いて二次フィルタを形成する。トランス114の二次巻線の一端子はランフ端子112aに接続され、二次巻線の他の端子はランフ端子112bに接続されている。この実施形態では、個別の誘導及び容量部品なしで二次フィルタを具体化することができる。

## 【0022】

図2Eは、図2D示された実施形態と実質的に同じである別の実施形態のタンク回路108''を示す。この場合、トランス114の一次巻線は、トランスの一次磁化インダクタンスの影響をキャンセルするために使用されるキャパシタ111を介してIC104の出力に接続されている。キャパシタ111を加えることで、トランス114の一次巻線での共振周波数がトランスの二次巻線での共振周波数により近似的に一致する。こうして、全体回路、即ちタンク回路108'及びトランス114の共振周波数がトランスの二次巻線の共振周波数に近づけられる。

## 【0023】

更に、図2A～図2Eにて示された各種タンク回路の寄生容量の最大ソースは、放電ランフ106の配線である。又、IC104を含む回路板のいずれかの側に一对の平行の金属板を配置して、二次フィルタ（タンク回路）用の容量部品が形成されてもよい。

## 【0024】

図3、4、5及び6は、本発明の異なる実施形態を具体化するための集積回路（IC）の内部回路を示す。図3は、電力制御のIC104の実施形態の概略図である。Vref信号は、VSUPPLY信号に接続された電圧レギュレータ124aからの出力として供給される。Vref信号は、通常5.0ボルトに設定されたバンドギャップ基準電圧であり、IC104の個別の部品により使用される各種電圧を生成するために使用される。UVLO（不足電圧ロック）信号及び熱遮断回路用のマスタ基準電圧等のいくつかの制御論理ブロック146用の内部電圧がVref信号から生成される。又、Vref信号によってピーク電流（IPK）コンパレータ138、ゼロクロス検出器140及び電力制御ブロック136の作動ポイントを設定する他の電圧が生成される。

## 【0025】

電圧レギュレータ124bはVSUPPLY信号に接続され、調整された6ボルトのDC信号を供給する。電圧レギュレータ124bの出力はゲート・ドライブ・ブロック128b、及びそのカソードがゲート・ドライブ・ブロック128a及びBOOST LEFT端子に接続されたダイオード126aのアノードに接続されている。別の電圧レギュレータ124cはVSUPPLY信号に接続され、調整された6ボルトのDC信号をゲート・ドライブ・ブロック128dに供給する。電圧レギュレータ124cの出力は、そのカソードがゲート・ドライブ・ブロック128c及びBOOST RIGHT端子に接続されたダイオード126bのアノードに接続されている。電圧レギュレータ124b及び124cは、比較的高電力ゲート・ドライブ・ブロック128a、128b、128c及び128dに供給される電圧を別々に調整するので、ゲート・ドライブ・ブロックのいずれかの動作は、電圧レギュレータ124aにより出力されるVref信号と著しく干渉しないようになっている。更に、ゲート・ドライブ・ブロック128b及び128dの個々の端子はグラウンドに接続されている。

## 【0026】

2個のレベル・シフト・アンプ132a、132bは制御論理ブロック146に別々に接続された各入力端子と、ゲート・ドライブ・ブロック128a、128bにそれぞれ別々に接続された出力端子とを有する。これらレベル・シフト・アンプは制御論理信号を制御論理ブロック146において使用される論理レベルからゲート・ドライブ・ブロック128a、128cにより必要とされる論理レベルにシフトさせる。

10

20

30

40

50

## 【0027】

IC104用のHブリッジ出力回路は、4個の電力MOSFET130a、130b、130c及び130dにより構成される。MOSFET130aのドレイン端子は、V<sub>SUPPLY</sub>信号に接続され、そのゲートはゲート・ドライブ・ブロック128aに接続されている。MOSFET130aのソース端子はOUT<sub>LEFT</sub>端子、ゲート・ドライブ・ブロック128a、MOSFET130bのドレイン端子、ゲート・ドライブ・ブロック128b及びMuxブロック134に接続されている。MOSFET130bのソース端子は、グランドに接続され、そのゲート端子はゲート・ドライブ・ブロック128bに接続されている。同様に、MOSFET130cのドレイン端子はV<sub>SUPPLY</sub>信号に接続され、そのゲート端子はゲート・ドライブ・ブロック128cに接続されている。MOSFET130cのソース端子はOUT<sub>RIGHT</sub>端子、ゲート・ドライブ・ブロック128c、MOSFET130dのドレイン端子、ゲート・ドライブ・ブロック128d及びMuxブロック134に接続されている。MOSFET130dのソース端子は、グランドに接続され、そのゲート端子はゲート・ドライブ・ブロック128dに接続されている。

10

## 【0028】

MOSFET130b、130dのソース端子は、グランド（低側）に接続され、それらに対応するゲート・ドライブ・ブロック128b、128dは0～5ボルトの信号を用いて関連するパワーMOSFETの動作を制御する別個のデジタル論理部品を含む。MOSFET130a、130cのソース端子はグランドに接続されていない。代わりに、これらソース端子はHブリッジ出力回路の各OUT<sub>LEFT</sub>及びOUT<sub>RIGHT</sub>端子（高側）に接続されている。このような構成では、0（グランド）～5ボルトの信号では、MOSFET130a、130cの動作が確実に制御されない。ゲート・ドライブ・ブロック128a、128cは個別のデジタル論理制御信号を用いているので、本発明では、これら制御信号を関連するMOSFET130a、130cのソース端子における電圧よりも常に高い電圧にレベルシフトする。ソース端子の電圧は、Hブリッジ出力回路のOUT<sub>LEFT</sub>及びOUT<sub>RIGHT</sub>端子に印加された電圧に応じて上昇し易い。レベル・シフト・アンプ132a、132bはグランドを基準とする0～5ボルトの論理信号を関連するMOSFET130a、130cのソース端子を基準とする0～6ボルトの論理信号にシフトする。このようにして、MOSFET130a、130cのソース端子の電位が0ボルトから25ボルトの間にある場合、ゲート・ドライブ・ブロック128a、128cはそれらに関連するMOSFETの動作を制御することができる。

20

30

## 【0029】

ゲート・ドライブ・ブロック128a、128b、128c及び128dはレベル・シフト・アンプ132a、132bと共に制御ブロック146からの制御信号をHブリッジ出力回路における関連するパワーMOSFETの各々への駆動信号にシフトする。ゲート・ドライブ・ブロックはバッファ（電流増幅）、故障保護、パワーMOSFET制御信号に対するレベルシフト、及びクロス・コンダクション（cross conduction）のロックを提供する。ゲート・ドライブ・ブロックは、デジタル論理信号の電流を増幅し、比較的高い電流がオン（導通）及びオフ（非導通）間でパワーMOSFETの状態を急速に切り換えるようにする。OUT<sub>LEFT</sub>端子及び／又はOUT<sub>RIGHT</sub>端子からV<sub>SUPPLY</sub>配線への短絡又はグランドへの短絡等の出力欠陥が生じたとき、4個のMOSFETの各々は関連するゲート・ドライブ・ブロックにより約5アンペアに電流制限される。そのような出力欠陥の状況下では、ゲート・ドライブ・ブロックは、何らかの損傷が起きる前に関連するパワーMOSFETをオフさせる。

40

## 【0030】

好ましい実施形態における全ての4個のパワートランジスタはMOSFETであり、それらは高入力キャパシタンスを有する傾向にある。導通と非導通状態との間でパワーMOSFETを急速に切り換えるために、ゲート・ドライブ・ブロックは、各パワーMOSFETのゲート端子に大きな電流を供給する。ゲート・ドライブ・ブロックはブロックにおけ

50

る個別のデジタル論理素子により生成された制御信号から得られた小電流をパワーMOSFETの状態を急速に切り換えるために必要とされる比較的高い電流レベルにまで増幅する。

#### 【0081】

ゲート・ドライブ・ブロックが関連するパワーMOSFETのゲート端子に電圧信号（ソース端子に対する6ボルト）を印加すると、MOSFETはオン（導通）される。そのソース端子に対するゼロボルトがそのゲート端子に印加されると、MOSFETはオフ（非導通）される。これに対し、2個のパワーMOSFET 130a、130cのソース端子は各左出力及び右出力端子に接続されている。この構成により、それらパワーMOSFETの各々に対してソース端子電圧が、グランドから各パワーMOSFETによる電圧降下をVSUPPLYから差し引いた電圧の範囲においてフロートされる。ゲート・ドライブ・ブロック128a、128cはフローティング・ソース端子電圧に対してゼロから+6ボルトの範囲でレベルシフトされた電圧信号を関連するパワーMOSFETのゲート端子に印加する。このようにして、制御ブロック146の0～5ボルトのグランド基準信号がパワーMOSFET 130a、130cのソース端子における電位に対する0～6ボルトの信号（高電流にパッファされた）にシフトされる。

#### 【0082】

ゲート・ドライブ・ブロックの各々は、パワーMOSFETのクロス導通のロックを制御するための論理も提供している。上部及び下部パワーMOSFET、即ちパワーMOSFET 130a、130bの両方が同時に導通した場合、貫通電流が入力電源からグランドに流れて、これらパワーMOSFETを破壊する虞がある。ゲート・ドライブ・ブロックは、上部及び下部パワーMOSFETの両方のゲート端子電圧の値を同時に検査することにより、このような状態を防止する。ゲート・ドライブ・ブロックの一つ（上部又は下部）が関連するMOSFETのゲート端子の「オン」電圧を検出すると、他方のゲート・ドライブ・ブロックが関連のゲート端子にオン電圧が印加されないようにロックされる。

#### 【0083】

ゲート・ドライブ・ブロック128a、128cは、本発明でのスタートアップ（初期通電）中に一对のブートストラップ・キャパシタ150a、150bを初期化する。ブートストラップ・キャパシタ150aはOUT LEFT端子及びBOOST LEFT端子間に接続されている。上記したように、OUT LEFT端子はパワーMOSFET 130aのソース端子及びゲート・ドライブ・ブロック128aにも接続されている。このため、下部パワーMOSFET 130bが導通し、上部パワーMOSFET 130aが非導通であるとき、ブートストラップ・キャパシタ150aは、ダイオード126aにより充電される。充電されると、ブートストラップ・キャパシタ150aは、パワーMOSFETのソース端子の電位がVSUPPLYとほぼ同じ電位まで上昇したとしても、上部パワーMOSFET 130aのゲート端子に安定したターンオン電圧を供給する。同様に、ブートストラップ・キャパシタ150bはOUT RIGHT端子及びBOOST RIGHT端子間に接続され、実質的に同じ機能を果たす。ここで、ランプ106とタンク回路108は、Hブリッジ出力回路のOUT LEFT端子とOUT RIGHT端子との間に接続されている。

#### 【0084】

初期化、即ちIC104のスタートアップ中において、下部パワーMOSFET 103b、130dはゲート・ドライブ・ブロック128b、128dによりスイッチオン（導通）され、同時に電荷がブートストラップ・キャパシタ150a、150bに供給される。Hブリッジ出力回路が発振し、電力をCCFLに供給し始めたとき、ブートストラップ・キャパシタ150a、150bはパワーMOSFETの通常のスイッチングサイクル中において順次部分的に放電及び再充電を行う。ダイオード126a、126bは、スイッチングサイクルにおいて関連するパワーMOSFET 130a、130cがターンオフされたとき、関連するブートストラップ・キャパシタ150a、150bを自動的に再充電する。こうして、ブートストラップ・キャパシタにより、ゲート・ドライブ・ブロック12

10

20

30

40

50

8a、128cが適正かつ安定したターンオン電圧を関連するMOSFET130a、130cのゲート端子に供給できるようになる。

【0035】

バッテリーのサージ要求及びランプに対する突入電流の影響を最小化するため、ソフトオン及びソフトオフの両方が行われる。「ソフトオン」の用語は、通常レベルに対するシステムパワーのなだらかな増加を説明するために使用され、「ソフトオフ」は通常レベルからシステムエネルギーのなだらかな減少を表す。システムに供給されるエネルギー量は、出力パルス幅に関連しCOMPピンにおける電流を加算することにより統制される。COMPピンに供給された付加電流によりパルス幅が広くなり、COMPピンから電流を引き抜くことによりパルス幅が狭くなる。詳しくは、バーストのほぼ終了時においては、出力パルスの幅を狭めるためにCOMPピンから電流が引き抜かれる。一実施形態では、COMPピンがグランドよりも上の約50mVでパルス幅がほぼ最小である場合、バーストは終了することができる。次のバーストが開始される時、COMPピンはほぼグランドにされ、初期的には狭いパルスとなる。続いて、電流がCOMPピンに確保され、通常動作に達するまでにパルス幅が次第に増加する。

10

【0036】

ここで、スタートアップの開始中に負荷に供給されるパワーエネルギーは通常動作中のものとは異なる。詳しくは、一実施形態では、第1のパルスの幅は通常動作のそれよりも大きい。一実施形態では、初期エネルギーパルスは通常動作中のパルスの倍となる。このことは、異なる環境及び装置条件の下でCCFLを起動するためのインバータの能力を増大させることが分かる。

20

【0037】

Muxブロック134は、パワーMOSFET130b、130dのドレイン端子間で切換を行い、パワーMOSFETを介して流れる電流は制御論理ブロック146により決定される。電流は、パワーMOSFETがオンされている、即ち導電しているときの電圧を測定することにより決定される。測定電圧は、公知の値である「オン」抵抗によってパワーMOSFETに流れる電流量に直接関連している。Muxブロック134はオンされたパワーMOSFETのドレイン端子間で切り換えられるので、Muxブロックの出力電圧はオンされた特定のMOSFETに流れる電流(Isw)と比例している。Muxブロック134は下部パワーMOSFETのドレイン端子間で整流する一対のアナログスイッチ

30

【0038】

ピーク電流(IPk)コンパレータ138は、Muxブロック134の出力に接続された入力と、Vref信号から供給される例えば200mVの所定電圧に接続された別の入力とを有する。ピーク電流コンパレータ138の出力は制御論理ブロック146及びオンタイム・タイマ142に接続されている。ピーク電流コンパレータ138の出力は、所定の最大電流を越えたとき制御論理ブロック146に指示する。ランプ106が消灯又は故障した場合、IC104が要求された電力又は電流量で比較的低損失のタンク回路の部品を駆動しようとするにつれてパワーMOSFETに流れる電流は比較的高い値となる。タンク回路のキャパシタに流れる比較的高い電流により昇圧トランスの二次に危険な高電圧が生成されるので、ピーク電流コンパレータ138によりこの状態が示されたとき制御論理ブロック146はパワーMOSFETをオフさせる。

40

【0039】

ゼロクロス検出器140(コンパレータ)の入力はMuxブロック134の出力に接続され、別の入力はVref信号から供給された例えば5mVの所定の電圧に接続されている。ゼロクロス検出器140の出力は、制御論理ブロック146に接続され、タンク回路の電流がほぼゼロアンペアに下がったときそのことを指示する。制御論理ブロック146はゼロクロス検出器140の出力を用いて休止段階を終了し、図7以下に示されているような例えばパワー段階A又はパワー段階B次のパワー段階のサイクルを開始するときであることを決定する。

50

## 【0040】

オンタイム・タイマ142は制御論理ブロック146の各パワー段階の継続時間を決定する。オンタイム・タイマ142の一つの入力はループ補償キャパシタ148の一端子及び電力制御ブロック136の出力に接続されている。ループ補償キャパシタ148の別の端子はVref信号に接続されている。オンタイム・タイマ142は、ループ補償キャパシタ148の電圧値に従って各パワー段階の期間（継続時間）を決定する。オンタイム・タイマ142は、制御論理ブロック146の入力及び出力に別々に接続されている。更に、オンタイム・タイマ142は制御論理ブロック136に各パワー段階の期間が経過したことを知らせる。本実施形態では、オンタイム・タイマ142は通常動作のパルスの2.5倍のパルス幅を供給すべく動作する。

10

## 【0041】

輝度オペアンプ144は、電力制御（アナログ乗算器）ブロック136に接続された出力を有する。輝度オペアンプ144の入力はユーザ選択可能なポテンショメータ（図示せず）に接続され、ポテンショメータの設定に関する電圧を受け取る。ユーザがポテンショメータに関連する制御を選択すると、輝度オペアンプの出力により電圧が電力制御ブロック136に印加され、その電力制御ブロック136は制御位置に関連して比例的に増加又は減少する。更に、ユーザが制御を選択することにより電圧が変更されると、オンタイム・タイマ142は対応する変更を各パワー段階の期間において制御論理ブロック146に知らせる。

## 【0042】

電力制御ブロック136は、入力としての信号を加算ノード141に供給し、定電流（Iref）源170から基準電流を入力する。加算ノード141の出力はオンタイム・タイマ142及びループ補償キャパシタ148の一端子に接続されている。

20

## 【0043】

Muxブロック134の切換えは制御論理ブロック146により調整され、一つのパワーMOSFETの電流のみが一度に測定される。更に、制御論理ブロック146は、下部HブリッジパワーMOSFET130b、130dに流れる電流を測定し、本発明のパワー段階をタンク回路の電流に同期させ、パワーMOSFETに流れる電流が所定の最大ピーク電流（IPk）を越えたかどうかを決定し、負荷に供給される実際の電力を算出する。

## 【0044】

一般的に制御論理ブロック146が管理する2つのタイプのサイクル段階としてパワー段階と休止段階がある。パワー段階は斜めに対向するパワーMOSFETが導通しているときに行われる。例えば、パワー段階Aは、パワーMOSFET130a、130dがオンしているときに行われる。同様に、パワー段階Bは、パワーMOSFET130b、130cがオンしているときに行われる。両方のパワー段階において、制御論理ブロック146は、以下のイベントの一つが起きるまでパワーMOSFETに流れる電流を有効にする。（1）ピーク電流（IPk）コンパレータ138が、放電ランプが故障したとき等のように最大電流の限界を越えたことを検出；（2）オンタイム・タイマ142が時間切れとなる；（3）ゼロクロス検出器140が制御論理ブロック146にMOSFETの状態を次のパワー段階のサイクルに切り換える指示を出す。

30

40

## 【0045】

代表的な実施形態では、オンタイム・タイマ142がパワー段階でタイムアウトとなったとき、制御論理ブロック146はパワーMOSFETを休止段階に切り換える。休止段階では、下部のHブリッジパワーMOSFET130b、130dがオンされ、上部のHブリッジパワーMOSFET130a、130cがオフされる。OUTLEFT及びOUTRIGHT端子に接続されたタンク（出力）回路108は、短期間の間CCFL106に電流を供給し続けるが、タンク回路電流は、ゼロクロス検出器140がゼロ電流の状態を制御論理ブロック146に知らせるポイントにおいて直ちにゼロとなる。次に、制御論理ブロック146はパワーMOSFET130c、130bをオンさせ、パワーMOSFET130a、130dをオフさせる。制御論理ブロック146は、負荷の共振周波数

50

にてパワーMOSFETをパワー段階A↑休止段階↑パワー段階B↑休止段階を経てパワー段階Aに戻るサイクルを連続的に繰り返す。制御論理ブロックは、タンク回路へのエネルギー（パワー段階）付加時間に関連する休止時間（休止段階）を変化させることにより放電ランプを駆動する電力／電流量を制御する。

#### 【0046】

別の実施形態では、制御論理ブロック146は、ピーク電流コンパレータ140からの指示を用いて段階の切換時期を決定する。この場合、制御論理ブロック146はA及びBパワー段階の間で直接切り替わるようにパワーMOSFETを制御し、休止段階が完全に省略される。この動作モードにおいて、制御論理ブロック146は、ピーク電流コンパレータ140が「ピーク」電流に達したことを知らせる途中でタンク回路の電流を積極的に逆流させるので、タンク回路への電流波形は三角波形状となる。この実施形態は、タンク回路108により供給される電流を抑制／制御し、放電ランプ端子における開回路電圧を制限する役割を有する。IC104の製造の際に簡単な金属マスクを選択することによって他の実施形態を選択してもよい。

10

#### 【0047】

制御論理ブロック146には少なくとも2つの非同期デジタル信号が入力され、それらは（1）IC104をオン又はオフさせるためのチップ・イネーブル入力と、（2）IC104の内部熱保護用の熱遮断入力とを含む。制御論理ブロック146への別のデジタル入力は多機能テスト／バースト入力である。IC104の製造テストにおいて、この入力はスタートアップ初期化ステップを中止するために使用され、ICの各種パラメータがテストされる。製造テストが完了すると、このデジタル論理入力は「バーストモード」ディミング（*dimming*）を実行するために使用される。

20

#### 【0048】

バースト・ディミング・モードにおいて、ユーザは矩形論理波形を有するバースト入力を使用し、ある状態ではこの入力はIC104が通常動作し、ランプ106に電力を供給するように指令を出す。別の状態ではバースト入力はIC104が通常動作を一時停止し、電力をランプ106に供給するのを停止するようにする。バースト入力は通常オフに切り換えられ、ランプ106により射出されるライトのディミングのために見えなくなるのに十分に早いレート（180Hzがそれ以上）でオンされる。バースト・ディミング・モードが起動されたとき、ループ補償キャパシタ148は再充電及び放電を停止し、即ちループ補償キャパシタ148に印加された電圧は保持され、バースト・ディミング・モードが起動解除されたとき適切な電力レベルで急速に再開されるようになる。バースト・ディミング・モードでは、寄生容量の影響を少なくするため、一般のアナログ・ディミング機構により提供される範囲より広いランプ106のディミング範囲が提供される。

30

#### 【0049】

更に、他の入力、例えばピーク電流（ $I_{Pk}$ ）、コンパレータ138、オンタイム・タイマ142及びゼロクロス検出器140からの入力を制御論理ブロック146に供給することで、全出力及びアナログ・ディミングがIC104によりサポートされる。

#### 【0050】

図5は、タンク回路108を駆動する電力量でIC104の動作を制御するために用いられる部品の典型的な概略図143である。タンク回路108及びトランス114の損失は、負荷を駆動するAC信号の全体の範囲に亘ってほぼ一定であるので、負荷への入力電力はタンク回路108においてCCFL106を駆動する実際の電力と関連している。電力制御ブロック136はIC104の製造中において選択されるべきメタル・マスク・オプションである。

40

#### 【0051】

バイポーラ・トランジスタのベース・エミッタ電圧（ $V_{be}$ ）とコレクタ電流（ $I_c$ ）との対数関係を使用することで、以下のような簡単な乗算器が具体化される。電力制御ブロック136の一部において、抵抗166の一端子はV<sub>SUPPLY</sub>信号に接続され、別の端子はMOSFET168のドレイン端子に接続されている。MOSFET168のゲー

50



ト端子はオンタイム・タイマ142（ここでは図示せず）の出力に接続されている。オンタイム・タイマ142は、ゲート端子の電圧を出力電力の位相波形と同期して制御することによりMOSFET168を流れる電流のデューティ・サイクルを調節する。MOSFET168のソース端子はNPNトランジスタ150のベース、NPNトランジスタ156のベース及びNPNトランジスタ152のコレクタに接続されている。NPNトランジスタ150のコレクタは、Vref信号に接続されている。NPNトランジスタ150のエミッタは、NPNトランジスタ152のベース及びNPNトランジスタ154のコレクタに接続されている。NPNトランジスタ152のエミッタはグランドに接続され、NPNトランジスタ154のエミッタは抵抗162の一端子及びオペアンプ149の反転入力に接続されている。抵抗162の別の端子はグランドに接続されている。オペアンプ149の反転入力端子はMuxブロック184（ここでは図示せず）からの出力に接続され、オペアンプの出力はNPNトランジスタ154のベースに接続されている。

10

#### 【0052】

電力制御ブロック186の別の部分において、NPNトランジスタ156のエミッタはNPNトランジスタ158のベース及びNPNトランジスタ160のコレクタに接続されている。NPNトランジスタ158のエミッタはグランドに接続され、コレクタはループ補償キャパシタ148の一端子及び定電流（Iref）源170の出力に接続されている。ループ補償キャパシタ148の別の端子、定電流（Iref）源170の入力、及びNPNトランジスタ156のコレクタはVref信号に接続されている。NPNトランジスタ160のエミッタは、抵抗164の一端子に及び輝度オペアンプ144の反転入力端子に接続されている。抵抗164の別の端子はグランドに接続されている。NPNトランジスタ160のベースは、輝度オペアンプ144の出力に接続されている。図示はされていないが、輝度オペアンプ144の非反転入力端子はランフ106により射出される光の量をユーザが落とすことを可能にするポテンショメータに接続されている。

20

#### 【0053】

電力制御ブロック186の動作についての以下の詳細な検討（説明）において、その詳細な検討の結果について妥協することなしにより重要な量と比較した場合、ある量については無視されてもよい。特に、NPNトランジスタのコレクタ電流と比較して各種NPNトランジスタのベース電流は無視される。更に、供給電圧は、NPNトランジスタ150及びNPNトランジスタ152のベースエミッタ電圧の合計と比較して大きいものと仮定する。

30

#### 【0054】

電力制御ブロック186は電源から供給される電力の対応する量を測定することにより負荷に供給される電力量を決定する。ループ補償キャパシタ148へ供給あるいはそこから出力される電流は一定値と加算値との差であり、電力制御ブロック186へ分配される。

#### 【0055】

パワー段階中には、オンタイム・タイマ142がMOSFET168のゲート端子にオン電圧を供給するとき、第1の乗算が行われ、NPNトランジスタ150、152が導通してNPNトランジスタ156のベースにオン電圧が供給される。更に、Muxブロック184が選択された低電力MOSFETからのドレイン端子電圧（Vswiccn）のオペアンプへの入力を切り換えたとき、オペアンプ149によりNPNトランジスタ154が導通して出力電力スイッチ電流に比例する電流が流れる。

40

#### 【0056】

NPNトランジスタ150のコレクタ電流はNPNトランジスタ152の電流に等しい。同様に、NPNトランジスタ152のコレクタ電流は抵抗166により分圧された供給電圧（VSUPPLY）に等しい。NPNトランジスタ150のベースエミッタ電圧は出力スイッチにおける電流の対数に比例する。同様に、NPNトランジスタ152のベースエミッタ電圧は供給電圧の対数に比例する。従って、NPNトランジスタ150のベース端子における電圧（グランドに関して）は、VSUPPLYとISWICCNとの積の対数に比例する。ここで、この電圧は出力波形のデューティ・サイクルによってチョッパ、

50

即ちゲーティングされるという点が重要である。

#### 【0057】

NPNトランジスタ150のベースにおける電圧は、NPNトランジスタ156のベース端子における電圧に等しい。NPNトランジスタ160のコレクタ電流は（外部的に供給された）輝度制御電圧に等しい。更に、NPNトランジスタ156のコレクタ電流はNPNトランジスタ160のコレクタ電流に等しい。又、NPNトランジスタ156のベースエミッタ電圧は輝度制御電圧の対数に比例する。従って、NPNトランジスタ158のベース端子における電圧（グランドに関して）は、 $(V_{SUPPLY} \times I_{SWITCH} / V_{BE})$ の対数に比例する。

#### 【0058】

NPNトランジスタ158のコレクタ電流はそのベース電圧の逆対数に比例しなければならない。即ち、NPNトランジスタ158のコレクタ電流は $(V_{SUPPLY} \times I_{SWITCH} / V_{BE})$ に比例する。NPNトランジスタ158のコレクタ電流はループ補償キャパシタ148により平均化される。制御ループの動作により、NPNトランジスタ158のコレクタ電流の平均は定電流（ $I_{REF}$ ）源170に等しくなる。

#### 【0059】

例えば、 $(V_{SUPPLY} \times I_{SWITCH} \times \text{デューティ} \cdot \text{サイクル}) > (I_{REF} \times I_{BE})$ であるとき、付加電流が定電流（ $I_{REF}$ ）源170からCOMP端子においてループ補償キャパシタ148に流れ、オンタイム・タイマ142によって供給されるデューティ・サイクルを短くし、負荷に供給される電力を低減させるという影響をもたらす。しかしながら、 $(V_{SUPPLY} \times I_{SWITCH} \times \text{デューティ} \cdot \text{サイクル}) < (I_{REF} \times I_{BE})$ であるとき、 $V_{SUPPLY}$ から供給される電力が輝度アンプの非反転入力における制御電圧として必要とされる電力に等しくなるまで、ループ補償キャパシタ148はわずかに放電し、オンタイム・タイマ142はデューティ・サイクルの長さを増加させる。集積回路104は、COMP端子の電圧が変化しなくなるまで、MOSFET168及びパワーMOSFET180a、180b、180c及び180dのデューティ・サイクルを調整する。こうして、COMP端子におけるネガティブ・フィードバックは、オンタイム・タイマ142により供給されるデューティ・サイクルを調整するために使用される。

#### 【0060】

図6は、低電流論理信号のバッファリングに加えて、関連するパワーMOSFET180bがオンしたときに、ゲート・ドライブ・ブロック128bがどのようにしてパワーMOSFET180bに対する局所電流制限を行っているかを示す。ゲート・ドライブ・ブロック128bへの入力はワンショット・タイマ170、R-Sフリップ・フロップ172のリセット入力、及びANDゲート174の入力に接続されている。フリップ・フロップ172の出力はANDゲート174の別の入力に接続され、フリップ・フロップのセット入力はANDゲート176の出力に接続されている。ANDゲート174の出力は、MOSFET180bのゲートに接続された出力を有するインバータ178の入力に接続されている。ワンショット・タイマ170の出力は、ANDゲート176の入力に接続されている。電流制限コンパレータ180は、ANDゲート176の別の入力に接続された出力を有する。コンパレータ180の一方の入力は $V_{REF}$ 信号から供給された約50ミリボルト信号に接続され、他方の入力はMOSFET180bのソース端子及び抵抗182の一端に接続されている。抵抗182の値は、5個以上のアンプの電流が抵抗からグランドに流れたときコンパレータ180の入力に所定の電圧が供給されるように設定されている。

#### 【0061】

ワンショット・タイマ170は、パワー段階中においてパワーMOSFET180bがオンされた後、約200ナノ秒の間（スイッチングノイズがなくなるだけの時間）信号を供給する。ワンショット・タイマ170の出力信号により、ANDゲート176からフリップ・フロップ172のセット入力に供給されるべき電流制限コンパレータ180の出力が

10

20

30

40

50

有効化される。電流制限コンパレータ180の出力が抵抗182の電圧が電流制限電圧に達したことを示す場合、フリップ・フロップはANDゲート174にターンオフ信号を出力し、ANDゲート174はターンオフ信号をインバータ178に出力し、その結果、ターンオフ電圧がMOSFET180bのゲート端子に印加される。こうして、5個のアンペア以上の電流がパワーMOSFETに流れたとき、パワー段階の残りの期間に対してパワーMOSFET180bは直ちにオフする。同様に、ゲート・ドライブ・ブロック128dは、同様のやり方でMOSFET180dに流れる電流を制限する。

#### 【0062】

図4は、IC104'として具体化された本発明の一実施形態の電流制御の概略を示す。電流制御IC104'の概略は電力制御IC104と類似しているが、多少異なる。電流制御は、ランプ106に供給される電力を制限するためにIC104'により採用されるので、電力制御ブロック136はIC104'には設けられていない。輝度オペアンプ144の出力は、加算ノード141に供給され、加算ノード141は図1Bに示すようにセンス抵抗109への接続を介してIsense電流を受け取る。同様に、加算ノード141の出力は、ループ補償キャパシタ148及びオンタイム・タイマ142の一端子に供給される。センス抵抗109に流れる電流は、ランプ106に流れる電流量に比例的に近似している。IC104'はこの近似に基づいてランプ106を駆動する電力量を制御する。

#### 【0063】

IC104'の電流制御の方法は、輝度オペアンプ144を用いてポテンショメータでのユーザ入力を電流(Ibtrish)に変換し、加算ノード141がその電流とIsense電流とを比較して差電流がループ補償キャパシタ148へ流れるか、またはそこから流れ出るようにする。これに対し、IC104の電力制御方法では、以下のステップを実行する：(1)輝度オペアンプ144を用いてユーザ入力をIbtrish電流に変換、(2)アナログ乗算器を用いてISwitch電流、VSUPPLYN及びデューティ・サイクルに比例して電流を対数的に加算(乗算)、(3)アナログ乗算器を用いて対数的に加算された電流からIbtrish電流を減算(除算)、(4)減算の逆対数の結果とIreference電流とを比較して差電流を決定、(5)差電流を用いて補償キャパシタ148を充電または放電し、オンタイム・タイマ142は、ループ補償キャパシタ148に印加された電圧に関連して蓄積電荷量だけ各パワー段階の時間間隔を調整。

#### 【0064】

図7には、AC信号を用いて負荷を駆動するためのサイクルを実行する4つの動作モード又は段階で構成された本発明を示す概略200が示されている。全ての4つの段階、即ちパワー段階(A)202、休止段階(A)204、パワー段階(B)206、及び休止段階(B)208では同じ部品が用いられる。パワーMOSFET180a、180b、180c及び180dは別々のスイッチとして図示されている。パワーMOSFETがオンされたとき(導通されたとき)、その状態は閉じたスイッチとして表される。パワーMOSFETがオフされたとき(非導通となったとき)、その状態は開いたスイッチとして表される。このようにして、パワーMOSFETの導通状態はサイクルの異なる段階に対してより明確となるように図示されている。

#### 【0065】

パワートランジスタ180aの一端子はVSUPPLYN端子に接続され、他の端子はパワートランジスタ180bの一端子及びタンク回路108の一端子に接続されている。パワートランジスタ180cの一端子は、VSUPPLYN信号(DC電源)に接続され、他の端子はタンク回路108の他の端子及びパワートランジスタ180dの一端子に接続されている。パワートランジスタ180b及び180dの他の端子はグランドに接続されている。

#### 【0066】

パワー段階(A)202に示されているように、対角線上に対向するパワートランジスタ180b及び180cはオフされ(開位置)、パワートランジスタ180a及び180d

10

20

30

40

50

はオンされる（閉位置）。V S u P P l ン端子からのDC電流はパワートランジスタ130aを流れ、タンク回路108を通過してパワートランジスタ130dを介してグランドに戻る。

#### 【0067】

V S u P P l ン端子からの電流の流れがピーク電流コンパレータ138によって示される所定のピーク電流値に少なくとも等しくなったとき、あるいはオンタイム・タイマ142が完了したとき、パワートランジスタはパワー段階（A）202から休止段階（A）204として定義された状態に切り替わる。しかしながら、もしこれらの状態が起こらず、ゼロクロス検出器140によって示されるようにタンク電流がゼロクロス・ポイントに戻ったとき、パワートランジスタは休止段階（A）に入らずに、パワー段階（B）として定義された状態に直接切り替わる。この休止段階を飛び越すのは、高い負荷及び比較的低いV S u P P l ン電圧が存在する場合に行われる。

10

#### 【0068】

休止段階（A）204では、上部横方向にて対向するパワートランジスタ130a及び130cが開位置（オフ）に置かれ、下部横方向にて対向するパワートランジスタ130b及び130dが閉位置（オン）に置かれている。休止段階（A）204の状態では、タンク回路108は蓄積されたエネルギーを放出、即ち電流をパワートランジスタ130dを介してグランドに放出する。タンク回路が蓄積されたエネルギーの少なくとも一部を放出した後、パワートランジスタはパワー段階（B）206として定義された状態に切り替わる。本発明はタンク回路の共振周波数を追跡し、パワートランジスタをこの周波数で切替えることで、タンク回路がパワー段階（A）202でエネルギーを蓄積し、休止段階（A）でこのエネルギーを放出する。こうして、タンク回路に接続された負荷に印加されるAC信号はAC信号のサイクルの「A」点において比較的スムーズな正弦波形状を有することとなる。

20

#### 【0069】

同様に、パワー段階（B）206では、対角線上に対向するパワートランジスタ130a及び130dは開位置にあり、パワートランジスタ130b及び130cは閉位置にある。V S u P P l ン端子からの電流はパワートランジスタ130cを流れ、タンク回路108を通過してパワートランジスタ130bを介してグランドに戻る。V S u P P l ン端子からの電流の流れがピーク電流コンパレータ138によって示される所定のピーク電流値に少なくとも等しくなったとき、あるいはオンタイム・タイマ142がタイムアウトとなったとき、パワートランジスタはパワー段階（B）206から休止段階（B）208として定義された状態に切り替わる。

30

#### 【0070】

休止段階（B）208では、上部横方向にて対向するパワートランジスタ130a及び130cが開位置に置かれ、パワートランジスタ130b及び130dが閉位置に置かれている。休止段階（B）208では、タンク回路108は蓄積されたエネルギーを放出、即ち電流をパワートランジスタ130bを介してグランドに放出し、タンク回路に接続された負荷に印加されるAC信号は、AC信号のサイクルの「B」点において比較的スムーズな正弦波形状を有することとなる。蓄積されたエネルギーをある期間放出した後、パワートランジスタはパワー段階（A）に切り替え、段階のサイクルが繰り返される。こうして、サイクル（パワー及び休止段階の両方）を介して電力が負荷に連続的に供給され、タンク回路108に蓄積されたエネルギーが各パワー段階において補給される。

40

#### 【0071】

本発明は、パワートランジスタがパワー段階（A）及びパワー段階（B）に配置されている期間を短くし、トランジスタが休止段階（A）及び休止段階（B）に配置されている期間を比例的に長くすることにより、ランフのディミング、即ち負荷に供給される電力量を減少させる。

#### 【0072】

通常の動作状態では、ランフ電流（又は電力）が計測され、フィードバックループにおい

50

ユーザ入力（ポテンシオメータのセッティング）と比較される。ランプ電流の測定値とユーザ入力との間の誤差（差）は、ループ補償キャパシタ１４８に印加される電圧値を決定するために使用され、かつオンタイム・タイマ１４２がパワー段階でパワートランジスタをオンさせる時間長さを決定するために使用される。こうして、ユーザは、ポテンシオメータの設定を調整することにより比較的広い範囲に亘ってランプ１０６の輝度を制御することができる。

#### 【００７３】

図８Ａ－８Ｄは、最大の電力及び減少された電力状態で、本発明により生成されたＡＣ電圧信号と負荷、即ちＣＣＦＬに供給される電流との対応を示す図である。最上部のグラフ２１０において、水平時間軸２１６及び垂直電圧軸２１８が示されている。Ｈブリッジ構成では、ピーク電圧の振幅２１２、２１４は電源により供給される電圧と等しく、ピーク対ピーク負荷電圧は、電源電圧の２倍である。ほぼ直線で垂直な立ち上がりエッジ２２０は、負波形２１４が正波形２１２に遷移するたびにタンク回路の電流のゼロクロスにて発生する。同様に、垂直な立ち下がりエッジ２２２は、上記したようにパワー段階が終了する３つの条件のうちの一つによってパワー段階が終了したときに発生する。更に、グラフ２１０は、タンク共振周波数の各半サイクルの間ＩＣ１０４が最大の電力／電流をタンク回路に供給しているときの電圧波形を示す。特に、この波形は、回路が設計最小電源電圧で負荷に設計最大電力を供給している場合に得られるものである。

#### 【００７４】

図８Ｂの第２のグラフ２３０において、グラフ２１０で図示された電圧波形に対応する水平時間軸２３２及び垂直電流軸２２４が示されている。正電流波形２２６の最大値は、正ピーク電流の値に等しい。同様に、負電流波形２２８の最大値は、負ピーク電流の値に等しい。丸みのある立ち下がりエッジ２３４は、正電流波形２２６により回路の充電が完了したとき、タンク回路１０８の共振周波数において発生する。丸みのある立ち上がりエッジ２３５は、回路が充電を開始するときに、タンク回路１０８の共振周波数において発生する。

#### 【００７５】

図８Ｃの第３のグラフ２４０において、水平時間軸２４２及び垂直電圧軸２４４が示されている。電圧波形２３６及び２３８により負荷に供給されるピーク電圧の振幅は、電源電圧に等しく、ピーク対ピーク負荷電圧は電源電圧の２倍である。グラフ２４０では、正進行波形２３６及び負進行波形２３８の両方のデューティ・サイクルは最大のデューティ・サイクル（１００％）の三分の一に低減される。グラフ２４０は、駆動波形のデューティ・サイクルの立ち下がりエッジ変調、即ち両極性の電圧パルスの立ち上がりエッジがデューティ・サイクルの全ての値に対して電流波形のゼロクロスで発生することを示す。更に、グラフ２４０は、ランプが減光されるか、あるいは電源電圧が設計最小値よりも高いときのように、電源により供給される電圧がＨブリッジ回路の最大電力能力をもたらしものではないケースを示す。これに対し、グラフ２１０はタンク回路の最大能力に合致するような、供給電力が最大量であるケースを示す。

#### 【００７６】

図８Ｄの第４のグラフ２４６において、グラフ２４０で示された電圧波形に対応する水平時間軸２４８及び垂直電圧軸２５０が示されている。正電流波形２５２の最大値は正ピーク電流値に等しい。同様に、負電流波形２５４の最大値は負ピーク電流値に等しい。丸みのある立ち上がりエッジ２５６は、正電流波形２５２により回路が充電され、回路が負荷に電流を放出し始めたとき、タンク回路１０８の共振周波数において発生する。同様に、丸みのある立ち下がりエッジ２５８は、タンク回路１０８が少ない電流を負荷に放出し始めたとき発生する。タンク回路は、電圧波形が１００％デューティ・サイクルよりも少ない場合、負荷に供給される電流波形を滑らかにするために設けられているという点で重要である。グラフ２４０で示される電圧波形パルスは、グラフ２４６で示される電流波形のゼロクロスにおいて発振し、これにより、タンク回路に供給されるエネルギー量が制御される。

10

20

30

40

50

## 【0077】

図9A及び9Bは、電力が低減された条件下で、本発明により生成されたAC電圧信号の立ち上がりエッジ変調と負荷に供給される電流との対応を示す2つのグラフである。AC電圧信号の立ち上がりエッジ変調は、AC電圧信号の立ち下がりエッジに対して図8～図8Dに示されたものと実質的に同様の方法で用いられる。立ち上がりエッジ変調に対しては、AC電流波形のゼロクロス・ポイントが生じた後AC電圧信号が活性化され、次のゼロクロス・ポイントにおいて非活性化される。

## 【0078】

図9Aの最上部のグラフ241において、水平時間軸247及び垂直電圧軸245が示されている。電圧波形237及び239により負荷に供給されるピーク電圧の振幅は、電源電圧に等しく、ピーク対ピーク負荷電圧は電源電圧の2倍である。グラフ241では、正進行波形237及び負進行波形239の両方のデューティ・サイクルは最大のデューティ・サイクル(100%)の三分の一に低減される。更に、グラフ241は、ランプが減光されるか、あるいは電源電圧が設計最小値よりも高いときのように、電源により供給される電圧がHブリッジ回路の最大電力能力をもたらすものではないケースを示す。

## 【0079】

図9Bの下部のグラフ247において、グラフ241に示された電圧波形に対応する水平時間軸249及び垂直電圧軸251が示されている。正電流波形253の最大値は正ピーク電流値に等しい。同様に、負電流波形255の最大値は負ピーク電流値に等しい。丸みのある立ち上がりエッジ257は、正電流波形253により回路が充電され、回路が負荷に電流を放出し始めたとき、タンク回路108の共振周波数において発生する。同様に、丸みのある立ち下がりエッジ259は、タンク回路108が少ない電流を負荷に放出し始めたとき発生する。グラフ241で示される電圧波形パルスは、グラフ247で示される電流波形のゼロクロスの前で発振し、これにより、タンク回路に供給されるエネルギー量が制御される。

## 【0080】

図10Aにおいて、グラフ260はAC電圧信号の両側位相変調(double-side phase modulation)を示す。垂直電圧(V<sub>ab</sub>)軸264及び水平時間軸262は、グラフ260に示された電圧波形に対応して示されている。Hブリッジにおいて、ピーク電圧の正及び負の波形266及び268は電源電圧に等しく、ピーク対ピーク電圧は電源電圧の2倍である。図10Bの第2のグラフ271において、水平時間軸267及び垂直電流軸265はグラフ260に示された電圧波形に対応して示されている。正電流波形270の最大値は正ピーク電流値に等しい。同様に、負電流波形269の最大値は負ピーク電流値に等しい。更に、両側位相変調は対応する電流波形のピークにおいて電圧波形を中央に配置するので、本発明では負荷に供給される電力量に関連して電圧波形の幅(両側)を増加または減少させることができる。

## 【0081】

図11A～図11Dにおいて、最大の電力条件で、AC電圧信号のパルス列変調(Pulse train phase modulation)及び負荷に供給される電流が示されている。図11Aの最上部のグラフ278において、水平時間軸272及び垂直電圧軸274が示されている。正電圧の方形波形276は、電源により供給される電圧に等しい。波形は電力サイクルの最初の半分でオンされ、サイクルの2つ目の半分でオフされる。

## 【0082】

図11Bの2つ目のグラフ286において、水平時間軸284及び垂直時間軸280が示されている。正電圧の方形波形282は、電源により供給される電圧に等しい。更に、波形は電力サイクルの最初の半分でオフされ、サイクルの2つ目の半分でオンされる。

## 【0083】

図11Cの3つ目のグラフ288において、水平時間軸296及び垂直時間軸290が示されている。正電圧の方形波形292は、電源により供給される電圧に等しく、負電圧の

10

20

30

40

50

方形波形 294 は、電源により供給される電圧に等しい。更に、電圧波形は電力サイクル中に交互にオンされる。即ち、正波形はサイクルの最初の半分でオンされ、負波形は 2 つ目の半分でオンされる。

#### 【0084】

図 11D の 4 つ目のグラフ 300 において、水平時間軸 302 及び垂直電流軸 306 がグラフ 288 で示される電圧波形に対応して表示されている。正電流波形 304 の最大値は正ピーク電流値に等しい。同様に、負電流波形 303 の最大値は負ピーク電流値に等しい。

#### 【0085】

図 12A～図 12D において、低減された電力条件下で、AC 電圧信号のパルス列変調及び負荷に供給される電流が示されている。図 12A の最上部のグラフ 308 において、水平時間軸 310 及び垂直電圧軸 312 が示されている。正電圧の方形波形 314 は電源により供給される電圧に等しい。更に、正波形 314 は 50 パーセントのデューティ・サイクルを有し、電力サイクルの第 1 及び第 2 の四分の一（第 1 の半分）の期間オンされ、サイクルの第 3 及び第 4 の四分の一（第 2 の半分）の期間オフされる。

#### 【0086】

図 12B の 2 つ目のグラフ 318 において、水平時間軸 320 及び垂直電圧軸 322 が示されている。正電圧の方形波形 316 は電源により供給される電圧に等しい。更に、正電圧波形は 50 パーセントのデューティ・サイクルを有し、電力サイクルの第 2 及び第 3 の四分の一の期間オンされ、サイクルの第 1 及び第 4 の四分の一の期間オフされる。

#### 【0087】

図 12C の 3 つ目のグラフ 326 において、水平時間軸 328 及び垂直時間軸 324 が示されている。正電圧の方形波形 330 は電源により供給される電圧に等しく、負電圧の方形波形 333 は電源により供給される電圧に等しい。正電圧波形 330 は、電力サイクルの第 1 の四分の一の期間にオンされ、負波形 333 はサイクルの第 3 の四分の一の期間にオンされる。電力サイクルの第 2 及び第 4 の四分の一の期間の間、Hブリッジの 2 つの出力における電圧は等しく、かつ互いにキャンセルされるので、負荷に供給される正味の電圧はゼロである。

#### 【0088】

図 12D の 4 つ目のグラフ 336 において、水平時間軸 338 及び垂直電流軸 340 がグラフ 326 に示される電圧波形に対応して表示されている。正電流波形 342 の最大値は正ピーク電流値に等しい。同様に、負電流波形 343 の最大値は負ピーク電流値に等しい。更に、電流波形は低減された量の電力を負荷に供給するものとして示されている。加えて、グラフ 308 及び 318 に示された波形の相対位相を変更して負荷に供給される電力量を変調することが可能である。

#### 【0089】

図 13 に示すように、概略図 344 では、位相変調された AC 信号で負荷を駆動するためのサイクルを完了する 4 つの動作モードで構成された本発明が示されている。全ての 4 つの位相、即ちパワー段階「I」346、休止段階「II」348、パワー段階「III」350、休止段階「IV」352 は同じ部品を用いる。パワー MOSFET 130a、130b、130c 及び 130d は別々のスイッチとして図示されている。パワー MOSFET がオンされたとき（導通されたとき）、その状態は閉じたスイッチとして表される。パワー MOSFET がオフされたとき（非導通となったとき）、その状態は開いたスイッチとして表される。このようにして、パワー MOSFET の導通状態はサイクルの異なる段階に対してより明確となるように図示されている。MOSFET の物理構成は、上記図 6 で説明した構成と実質的に同じである。

#### 【0090】

パワー段階「I」346 において、対角線上に対向するパワートランジスタ 130b 及び 130c はオフされ（開位置）、パワートランジスタ 130a 及び 130d はオンされる（閉位置）。V S U P P L Y 端子からの DC 電流はパワートランジスタ 130a を流れ、

10

20

30

40

50

タンク回路 108 を通過してパワートランジスタ 130d を介してグランドに戻る。

#### 【0091】

V S u P P I ン端子からの電流の流れがピーク電流コンパレータ 138 によって示される所定のピーク電流値に少なくとも等しくなったとき、あるいはオンタイム・タイマ 142 が完了したとき、パワートランジスタはパワー段階「I」346 から休止段階「II」348 として定義された状態に切り替わる。しかしながら、もしこれらの状態が起こらず、ゼロクロス検出器 140 によって示されるようにタンク電流がゼロクロス・ポイントに戻ったとき、パワートランジスタは休止段階「II」に入らずに、パワー段階「III」350 として定義された状態に直接切り替わる。この休止段階を飛び越すのは、高い負荷及び比較的低い V S u P P I ン電圧が存在する場合に行われる。

10

#### 【0092】

休止段階「II」348 では、上部横方向にて対向するパワートランジスタ 130a 及び 130c が閉位置（オン）に置かれ、下部横方向にて対向するパワートランジスタ 130b 及び 130d が開位置（オフ）に置かれている。休止段階「II」348 の状態では、パワートランジスタ 130a 及び 130c を介して電流を循環させることにより、タンク回路 108 は蓄積されたエネルギーを負荷に放出する。タンク回路が蓄積されたエネルギーの少なくとも一部を放出した後、パワートランジスタはパワー段階「III」350 として定義された状態に切り替わる。

#### 【0093】

同様に、パワー段階「III」350 では、対角線上に対向するパワートランジスタ 130a 及び 130d は開位置にあり、パワートランジスタ 130b 及び 130c は閉位置にある。V S u P P I ン端子からの電流はパワートランジスタ 130c を流れ、タンク回路 108 を通過してパワートランジスタ 130b を介してグランドに戻る。V S u P P I ン端子からの電流の流れがピーク電流コンパレータ 138 によって示される所定のピーク電流値に少なくとも等しくなったとき、あるいはオンタイム・タイマ 142 がタイムアウトとなったとき、パワートランジスタはパワー段階「III」350 から休止段階「IV」352 として定義された状態に切り替わる。

20

#### 【0094】

休止段階「IV」352 では、上部横方向にて対向するパワートランジスタ 130a 及び 130c が開位置に置かれ、パワートランジスタ 130b 及び 130d が閉位置に置かれている。休止段階「IV」352 では、タンク回路 108 は蓄積されたエネルギーを放出、即ち電流をパワートランジスタ 130b を介してグランドに放出する。蓄積されたエネルギーをある期間放出した後、パワートランジスタはパワー段階「I」346 に切り替え、段階のサイクルが繰り返される。こうして、サイクル（パワー及び休止段階の両方）を介して電力が負荷に連続的に供給され、タンク回路 108 に蓄積されたエネルギーが各パワー段階において補給される。

30

#### 【0095】

バーストモードのディミングにおいて、放電ランプ 106 は 180 ヘルツ等の高速レートでオン及びオフされる。放電ランプ 106 がオンされると、ランプを駆動する AC 信号の周波数はオンタイム・タイマ 142 及びゼロクロス検出器 140 により決定される。代表的な動作周波数は 50 キロヘルツである。50 % のバーストモードのディミングに対しては、放電ランプ 106 は半分の時間オフされる。選択される周波数に対する実際の例では、オン時間が 2.7 ミリ秒で 50 キロヘルツの発振で 135 サイクルからなる。このオン時間は、2.7 ミリ秒のオフ時間の後に続く。同様に 5 % のバーストモードのディミングでは、オン時間は 0.27 ミリ秒で、約 5.3 ミリ秒のオフ時間に続くランプ電流の 50 キロヘルツの約 13 サイクルからなる。オン及びオフ期間の合計は、180 ヘルツに等しい。バーストモードのディミングが立ち上げられたとき（放電ランプがオフされたとき）、IC 104 におけるアナログ・フィードバックが無効とされる。こうして、ループ補償キャパシタ 148 は放電も充電もされず、オンタイム・タイマ 142 に対する正しいオンタイム設定がバーストモードのオフ状態の間に再割り当てされる。

40

50



## 【0096】

上記の説明は、本発明の一実施形態の詳細な説明である。しかしながら、より一般的な見地において、図14にて本発明の方法が示されている。最初にステップ1101において、インバータ100が始動される。このステップは、例えば、各種部品を起動するような各種手順を含む。次に、ステップ1103において、インバータ100はランプ（又は他の負荷）を起動するために1以上の高エネルギーパルスを提供する。ここで用いられる用語「高エネルギー」は、通常動作中のエネルギーパルスよりも高いエネルギーのパルスのことと言う。上記したパルス幅変調では、このことは広いパルス幅に対応している。最後に、ステップ1105において、ランプが起動された後、高エネルギーパルスが停止され、通常のエネルギーパルスが供給される。

10

## 【0097】

好ましい実施形態を図示し、かつ説明したが、本発明の精神及び範囲から逸脱することなく各種変更を行うことができる。

## 【0098】

## 【発明の効果】

本発明によれば、ランプを駆動するために使用される電力量を効果的に制御することができるという優れた効果を奏する。

## 【図面の簡単な説明】

【図1】Aは、放電ランプを駆動するための昇圧トランスの一次側のタンク回路に接続された電力制御集積回路の概略図であり、Bは、放電ランプを駆動するための昇圧トランスの一次側の別のタンク回路に接続された電力制御集積回路の概略図である。

20

【図2】Aは、放電ランプを駆動するための昇圧トランスの一次側の別のタンク回路に接続された電流制御集積回路の概略図であり、Bは、放電ランプを駆動するために使用される昇圧トランスの二次側に配置された別のタンク回路を用いた別の電力制御集積回路の概略図であり、Cは、放電ランプを駆動するために採用される昇圧トランスの二次側に配置された別のタンク回路を用いた別の電力制御集積回路の概略図であり、Dは、放電ランプを駆動するために用いられる昇圧トランスの二次側に配置された別のタンク回路の概略図であり、Eは、一次接続キャパシタを有する別のタンク回路の概略図である。

【図3】放電ランプを駆動するための電力制御集積回路の概略図である。

【図4】放電ランプを駆動するための電流制御集積回路の概略図である。

30

【図5】電力制御集積回路により具体化された電力制御ブロックの概略図である。

【図6】電流制御及び電力制御集積回路により具体化されたゲート・ドライブ・ブロックの概略図である。

【図7】本発明の発振サイクルの各種段階を説明するための図である。

【図8】A～Dは最大及び部分デューティ・サイクルの両方で放電ランプを駆動するとき生成された電圧波形と電流波形との対応を示すグラフである。

【図9】A及びBは、部分電力における電圧波形の立ち上がりエッジ変調と、対応する電流波形とを示すグラフである。

【図10】A及びBは、部分電力における電圧波形の両側変調と、対応する電流波形とを示すグラフである。

40

【図11】A～Dは、全電力における電圧波形のパルス列変調と電流波形とを示すグラフである。

【図12】A～Dは、部分電力における電圧波形のパルス列変調と電流波形とを示すグラフである。

【図13】位相変調時における電力スイッチの4つの段階と負荷電流の方向を説明するための図である。

【図14】本発明の方法を説明するためのフローチャートである。

## 【符号の説明】

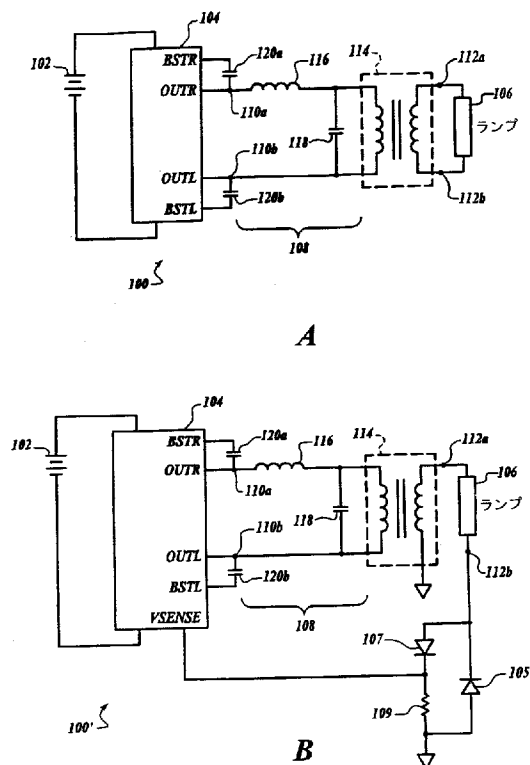
104 DC-AC変換器

108 タンク回路、自己発振回路

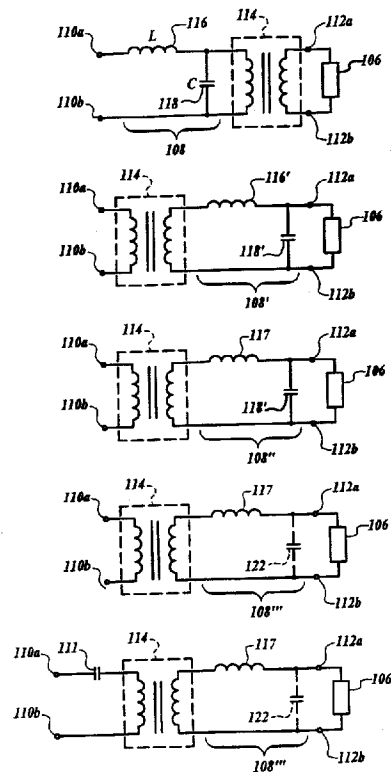
50

130a、130b、130c、130d スイッチ  
146 コントローラ

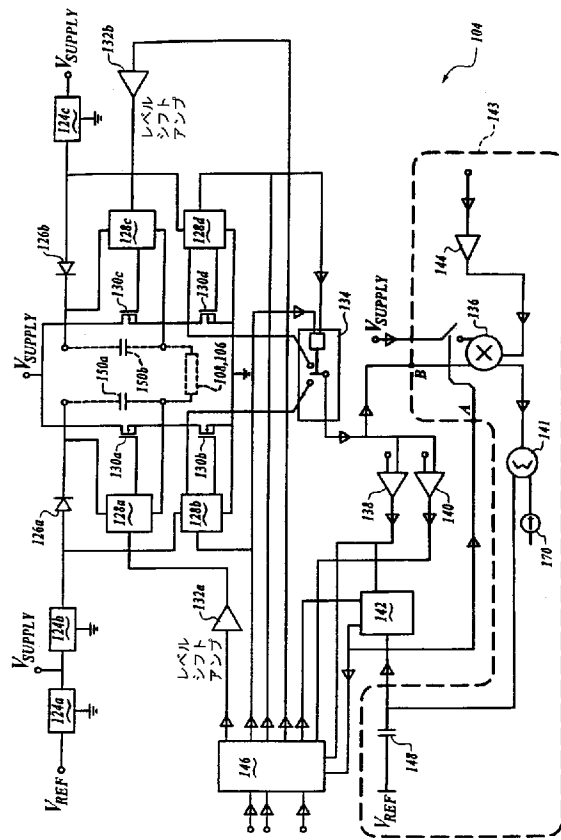
【図1】



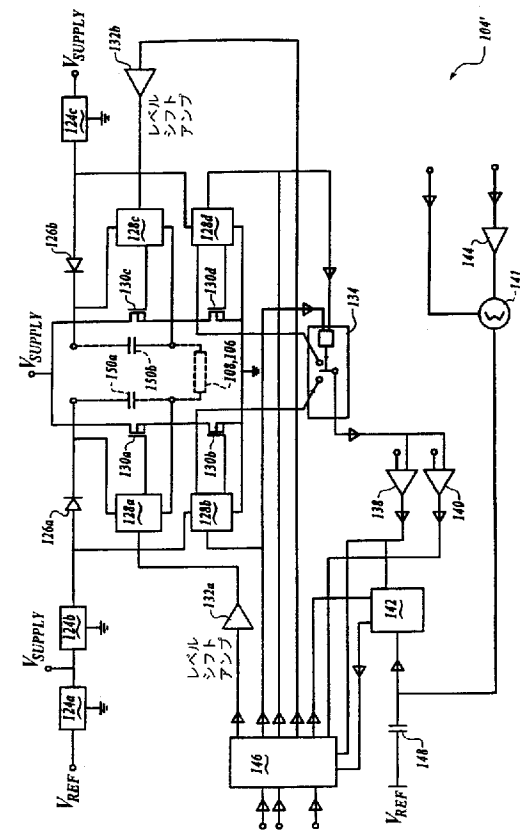
【図2】



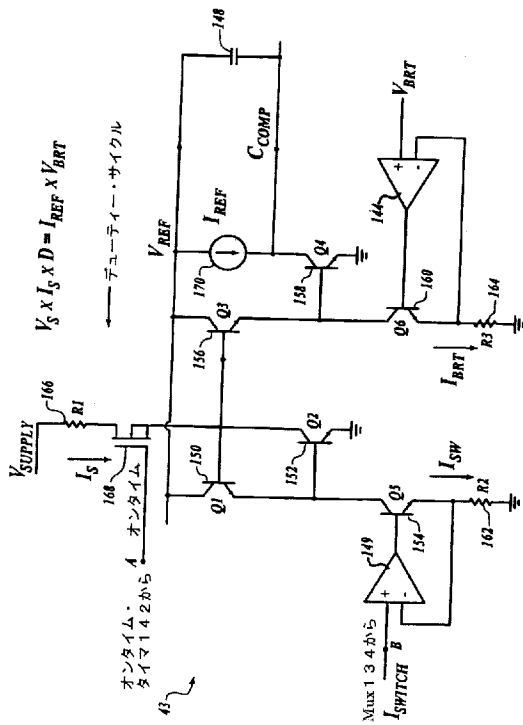
【 図 3 】



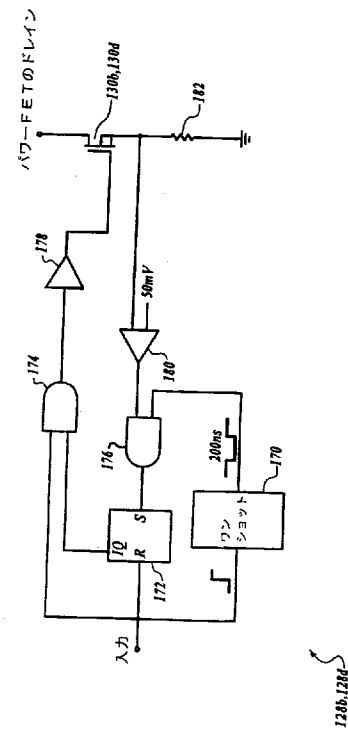
【图 4】



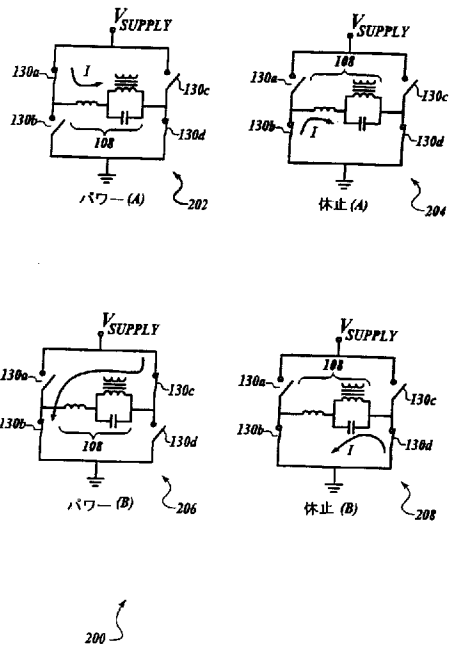
【 図 5 】



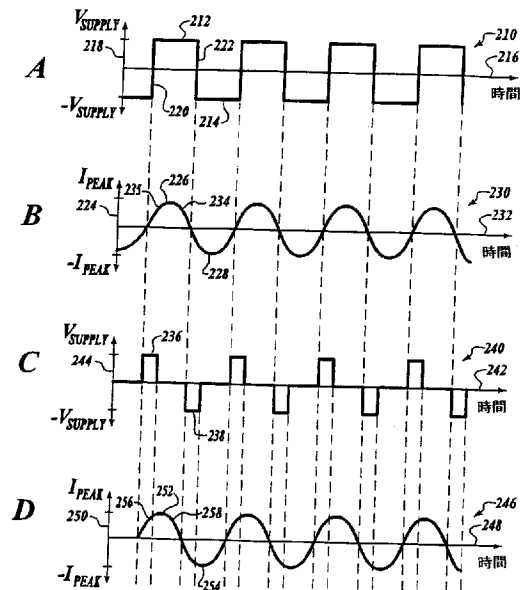
【图 6】



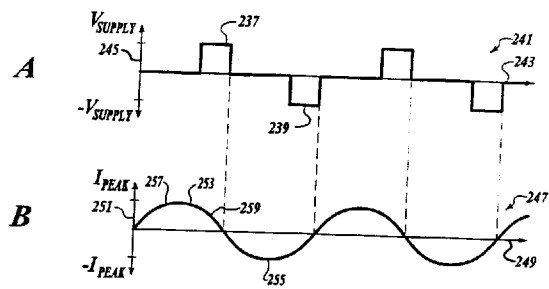
【図 7】



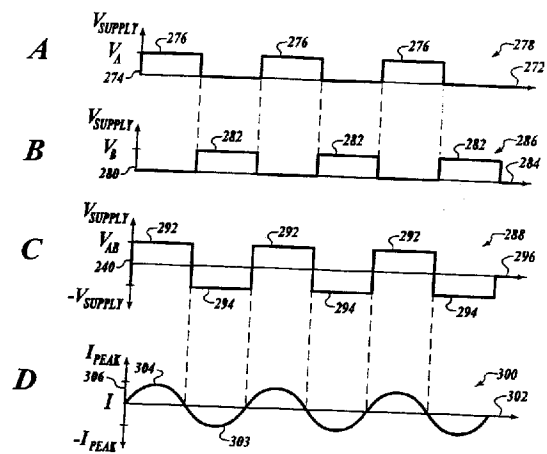
【図 8】



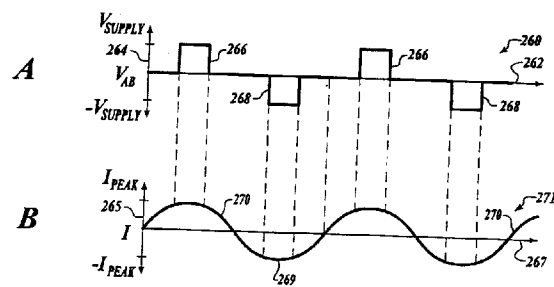
【図 9】



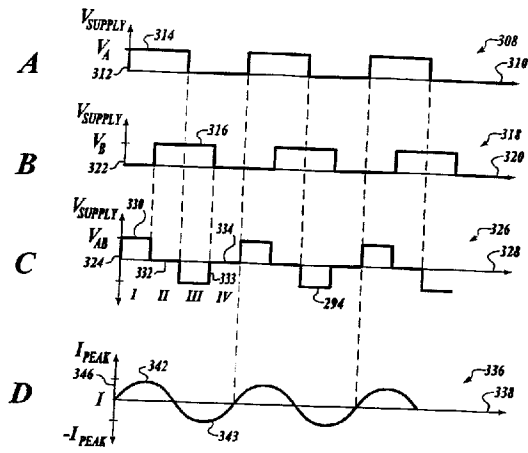
【図 11】



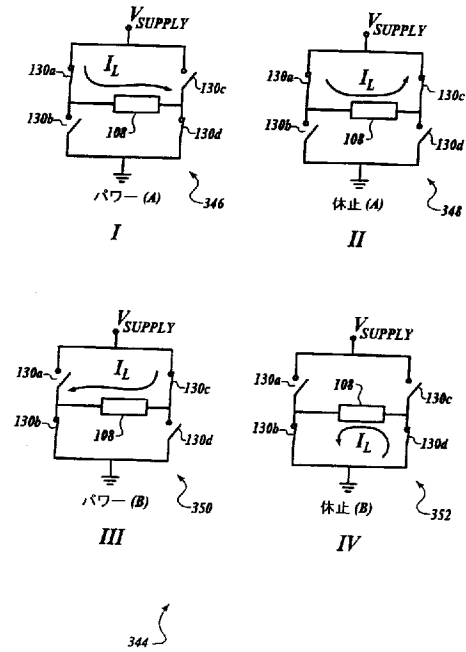
【図 10】



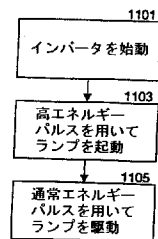
【図 1 2】



【図 1 3】



【図 1 4】



---

フロントページの続き

(72)発明者 ティモシー ジェームズ ラスト

アメリカ合衆国 94538 カリフォルニア州 フレモント サラトガ パーク 42802

(72)発明者 ジェームズ コーブランド モイヤー

アメリカ合衆国 95129 カリフォルニア州 サンノゼ ウィステリア ウェイ 6381

(72)発明者 デビッド ジョセフ クリスティ

アメリカ合衆国 95117 カリフォルニア州 サンノゼ ミリッヒ ドライブ 718 ナン  
バー ビー

Fターム(参考) 3K072 AA01 AA11 AC01 BA03 FA05 GA03 GB18

3K098 CC40 DD01 DD06

5H007 BB03 CA02 CB05 CB25 CC32 DA05 DB01 DC02